

Requested Patent: DE4311705A1

Title:

NOR OR NAND TYPE MASK ROM - HAS TWO TRANSISTORS OF HIGH AND LOW THRESHOLD RESPECTIVELY, WITH TWO IMPURITY ATOM REGIONS AND COMMON IMPURITY ATOM REGION, ALL OF OPPOSITE CONDUCTIVITY TO THAT OF SUBSTRATE ;

Abstracted Patent: DE4311705 ;

Publication Date: 1993-10-14 ;

Inventor(s): ARAI HAJIME (JP) ;

Applicant(s): MITSUBISHI ELECTRIC CORP (JP) ;

Application Number: DE19934311705 19930408 ;

Priority Number(s): JP19920093130 19920413 ;

IPC Classification: H01L27/112 ; H01L21/72 ; G11C17/10 ;

Equivalents: JP3202784B2, JP5291538, KR133956

ABSTRACT:

The ROM includes Gate electrodes (7) formed in a main surface of a p-conductivity substrate (1), with an intermediate gate insulating film (6). Low concentration impurity atom regions (8) are formed using the gate electrodes as a mask. Then spacers (10) are formed at the electrode side walls. High concentration impurity atom regions are formed, using the side wall spacers as a mask. After the spacer removal, n-conductivity impurity atoms with low energy are applied by ion implantation to form through-implantation layers (60), using the gate electrodes and spacers as a mask. ADVANTAGE - Reduced prodn. time without affecting characteristics of transistors. ROM data can be written at low energy without special equipment.



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
10 DE 43 11 705 A 1

51 Int. Cl.⁵:
H 01 L 27/112
H 01 L 21/72
G 11 C 17/10

21 Aktenzeichen: P 43 11 705.8
22 Anmeldetag: 8. 4. 93
43 Offenlegungstag: 14. 10. 93

DE 43 11 705 A 1

30 Unionspriorität: 32 33 31
13.04.92 JP 4-93130

71 Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

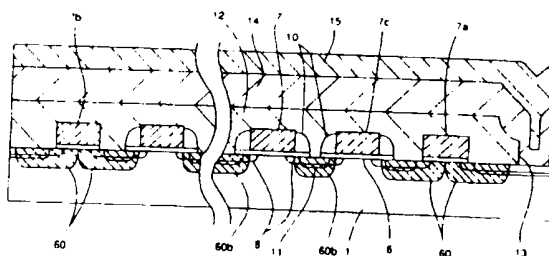
74 Vertreter:
Prüfer, L., Dipl.-Phys.; Materne, J., Dipl.-Phys.
Dr.rer.nat.habil., Pat.-Anwälte, 81545 München

72 Erfinder:
Arai, Hajime, Itami, Hyogo, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Masken-ROM-Halbleitervorrichtung und Herstellungsverfahren dafür

57 Gateelektroden (7) sind in einer Hauptoberfläche eines p-Typ Halbleitersubstrats (1) gebildet, mit einem dazwischenliegenden Gateisolationfilm (6). Niedrigkonzentrations-Fremdatombereiche (8) werden gebildet, unter Benutzung der Gateelektroden (7) als Maske. Dann werden Abstandselemente (10) auf den Seitenwänden der Gateelektroden (7) gebildet, und Hochkonzentrations-Fremdatombereiche (10) werden gebildet, unter Benutzung der Abstandselemente (10) als Maske. Nach Entfernen der Abstandselemente (10) der vorgesehenen Transistoren werden n-Typ Fremdatome mit niedriger Energie ionenimplantiert, zum Bilden von Durchgreif-Implantationsschichten (60), unter Benutzung der Gateelektroden (7) und Abstandselemente (10) als Maske. Dadurch wird ein Masken-ROM mit hoher Zuverlässigkeit in einer kurzen Produktionszeit gebildet, ohne daß eine teure Vorrichtung benötigt wird.



DE 43 11 705 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 08. 93 308 041/646

74/47

Die vorliegende Erfindung betrifft eine Masken-ROM-Halbleitervorrichtung (ROM = Nur-Lese-Speicher) sowie ein Herstellungsverfahren dafür. Insbesondere betrifft die Erfindung eine Masken-ROM-Halbleitervorrichtung, in die ROM-Daten eingeschrieben werden können, und bei der die Produktionszeit vermindert werden kann.

Halbleitervorrichtungen, wie Halbleiterspeicher, werden in verschiedenen elektronischen Geräten, wie Computersystemen oder Meßsystemen benutzt. Masken-ROM-Halbleitervorrichtungen (nachfolgend als Masken-ROM bezeichnet) sind Halbleitervorrichtungen, die für die obigen Zwecke hergestellt wurden. Der Masken-ROM weist die Eigenschaft auf, daß Information in ihn eingeschrieben werden kann, d. h. die ROM-Datenschreiboperation ist gestattet, während des Herstellungsschrittes, und der darin gespeicherte Dateninhalt kann verschieden sein, in Abhängigkeit von dem Vorliegen oder Nicht-Vorliegen eines Feldoxidfilmes, von Kontaktlöchern, von in Kanalbereichen implantierten Ionen oder dergleichen.

Derzeit wird das Speichern von Daten im Masken-ROM durch Implantieren oder Nicht-Implantieren von Ionen in die Kanalbereiche in vielen Fällen durchgeführt, da der Integrationsgrad leicht erhöht werden kann und der Zeitraum von der Datenschreiboperation bis zur Fertigstellung der Halbleitervorrichtung relativ kurz realisiert werden kann. Bezüglich der Masken-ROMs existieren Masken-ROMs vom NOR-Typ sowie Masken-ROMs vom NAND-Typ.

Der NOR-Typ Masken-ROM und der NAND-Typ Masken-ROM wird nachfolgend kurz unter Bezugnahme auf die Fig. 76 und 77 beschrieben. Die Fig. 76 ist ein Äquivalenzschaltbild mit einer schematischen Darstellung eines Beispiels des Masken-ROM vom NAND-Typ, und Fig. 77 ist ein Äquivalenzschaltbild mit einem Beispiel des Masken-ROM vom NOR-Typ.

Im allgemeinen können im NAND-Typ Masken-ROM eine Mehrzahl (d. h. 8 oder 16) von Transistoren bezüglich einer Bitleitung ausgewählt werden, und eine Kontaktöffnung ist für die Mehrzahl von Transistoren notwendig. Wie in Fig. 76 gezeigt, sind Bitleitungen BL1 und BL2 gebildet, die über Bitleitungskontakte BC1 und BC2 mit Transistorketten (Transistorfolgen) 1a bzw. 1b verbunden sind. In diesem Beispiel umfaßt die Transistorkette 1a vier Transistoren; die miteinander in Reihe verbunden sind, wobei die Kette an ihren gegenüberliegenden Enden mit der Bitleitung BL1 bzw. einer Sourceleitung SL1 verbunden ist. Entsprechend umfaßt die Transistorkette 1b vier Transistoren, die miteinander in Reihe verbunden sind. Die Transistorkette 1b ist an ihrem einen Ende über den Bitleitungskontakt BC2 mit der Bitleitung BL2 verbunden, und ist an ihrem anderen Ende mit einer Sourceleitung SL2 verbunden. Wortleitungen WL1 - WL4 sind zu den Bitleitungen BL1 und BL2 senkrecht gebildet. Die in der Figur schraffiert gezeichneten Transistoren umfassen Fremdatome, die zum Anpassen der Schwellspannung darin ionenimplantiert sind. In diesem Beispiel weisen die schraffierten Transistoren in der Figur eine Schwellspannung auf, die niedriger als die der nicht schraffierten Transistoren ist und fast dem Erdpotential entspricht.

Ein Betrieb des NAND-Typ Masken-ROM wird nachfolgend beschrieben. Wie in Fig. 76 gezeigt, wenn ein in der Figur umkreister Transistor 70 ausgewählt werden soll, wird eine vorbestimmte Spannung an die Bitleitung BL1 angelegt. Die Wortleitung WL3 des Transistors 70 wird auf Erdpotential gehalten, und ein vorbestimmtes Potential wird an die anderen Wortleitungen WL1, WL2 sowie WL4 angelegt. Da der Transistor 70 so eingerichtet ist, daß er eine Schwellspannung aufweist, die fast gleich dem Erdpotential ist, fließt ein Strom durch den Transistor 70 trotz der Tatsache, daß die Wortleitung WL3 auf dem Erdpotential gehalten wird. Auch werden die Sourceleitungen SL1 und SL2 auf dem Erdpotential gehalten, und ob ROM-Daten in dem ausgewählten Transistor (d. h. den Transistor 70) eingeschrieben sind, wird davon abhängig bestimmt, ob der Strom zwischen der Bitleitung BL1 und der Sourceleitung SL1 fließt oder nicht.

Bei dem oben beschriebenen Masken-ROM vom NAND-Typ wird der eingeschriebene ROM-Daten enthaltende Transistor im Verarmungszustand gehalten, und er wird insbesondere durch das Einführen von Fremdatomen so angepaßt, daß er eine Schwellspannung (V_{th}) aufweist, die niedriger als die Schwellspannung (V_{th}) des Transistors ist, in den ROM-Daten nicht eingeschrieben sind. Der Grund hierfür wird nachfolgend beschrieben. In der nachfolgenden Diskussion wird der Transistor, dessen Schwellspannung (V_{th}) durch das Eindringen von Fremdatomen in den Kanalbereich verändert ist, als "Transistor mit eingeschriebenen ROM-Daten" bezeichnet.

Beim Masken-ROM vom NAND-Typ umfaßt jede Transistorfolge eine Mehrzahl von Transistoren, und es wird bestimmt ob ROM-Daten eingeschrieben sind, auf der Basis, ob der Strom durch die Transistorfolge fließt. Um daher zu bestimmen, ob die ROM-Daten in den Transistor eingeschrieben sind, ist es nötig, einen Transistor in der Transistorfolge auszuwählen und zu bestimmen, ob der Strom durch den ausgewählten Transistor fließt. Zu diesem Zweck ist es grundsätzlich notwendig, daß der Strom durch die übrigen Transistoren der Transistorfolge, die nicht der ausgewählte Transistor sind, fließt. Wenn in diesem Fall der Transistor mit den eingeschriebenen ROM-Daten eine Schwellspannung (V_{th}) höher als die der Transistoren ohne eingeschriebene ROM-Daten hätte, würde der Transistor mit den eingeschriebenen ROM-Daten den Strom in der Transistorfolge abschneiden. Daher wird der Transistor mit den eingeschriebenen ROM-Daten so eingerichtet, daß er eine Schwellspannung (V_{th}) niedriger als die der Transistoren ohne eingeschriebene ROM-Daten aufweist. Daher muß der Transistor mit eingeschriebenen ROM-Daten vom Verarmungstyp (abgesenkten Typ) sein, durch das Zuführen von Fremdatomen.

Unter Bezug auf die Fig. 77 wird der NOR-Typ Masken-ROM beschrieben. Beim NOR-Typ Masken-ROM kann ein Transistor ausgewählt werden, durch Auswählen einer Wortleitung und einer Bitleitung, und eine Kontaktöffnung ist für eine oder zwei Transistoren vorgesehen. Mit anderen Worten, eine oder zwei Kontaktöffnungen sind für zwei Transistoren gebildet. Wie in Fig. 77 gezeigt, sind die Bitleitungen BL1 und BL2 zueinander parallel gebildet, und die Wortleitungen WL1 - WL4 sind senkrecht zu den Bitleitungen BL1 und BL2 gebildet. Bei diesem Beispiel sind Bitleitungskontakte BC1 - BC4 für zwei Transistoren gebildet. Sourcelei-

tungen SL1—SL6 werden auf Erdpotential gehalten. Die in der Figur schraffiert gezeichneten Transistoren weisen eingeschriebene ROM-Daten auf und besitzen eine Schwellspannung (V_{th}) die höher als die Schwellspannung (V_{th}) der Transistoren ohne eingeschriebene ROM-Daten ist.

Ein Betrieb des oben angeführten NOR-Typ Masken-ROM wird nachfolgend beschrieben.

Wie in Fig. 77 gezeigt wird angenommen, daß ein in der Figur umkreister Transistor 71 ausgewählt wird. In diesem Fall wird eine hohe Spannung an die Bitleitung BL2 angelegt, und eine hohe Spannung wird auch an die Wortleitung WL2 des auszuwählenden Transistors 71 angelegt. Die an die Bitleitung BL2 und an WL2 angelegte Spannung ist niedriger als die Schwellspannung (V_{th}) des Transistors mit eingeschriebenen ROM-Daten, und ist größer als die Schwellspannung (V_{th}) der Transistoren ohne eingeschriebene ROM-Daten. Eine niedrige Spannung, die niedriger als die Schwellspannung (V_{th}) des Transistors ohne eingeschriebene ROM-Daten ist, wird an die anderen Wortleitungen WL1, WL3 sowie WL4 angelegt, und wenn daher der Transistor 71 die eingeschriebenen ROM-Daten aufweist, fließt der Strom nicht zwischen der Bitleitung BL2 und der Sourceleitung SL5. Wenn der Transistor 71 keine eingeschriebene ROM-Daten aufweist, fließt der Strom zwischen der Bitleitung BL2 und der Sourceleitung SL5. Unter Ausnutzung von diesem wird bestimmt, ob der Transistor 71 die eingeschriebenen ROM-Daten aufweist. Da bei diesem Beispiel der Transistor 71 nicht die ROM-Daten enthält, fließt der Strom durch den Transistor 71.

Wie oben beschrieben, beim NOR-Typ Masken-ROM weist der Transistor mit den eingeschriebenen ROM-Daten eine höhere Schwellspannung als die Schwellspannung der Transistoren ohne eingeschriebene ROM-Daten auf. Der Grund hierfür wird nachfolgend unter Bezug auf den in Fig. 77 gezeigten NOR-Typ Masken-ROM beschrieben. Wenn beispielsweise ein hohes Potential an die Bitleitung BL2 und ein hohes Potential an die Wortleitung WL2 angelegt wird, das heißt, wenn der Transistor 71 ausgewählt wird, wird eine hohe Spannung an den Drainbereich eines Transistors 72 angelegt, der dem Transistor 71 benachbart liegt, über denselben Bitleitungskontakt BC3. Die Schwellspannung (V_{th}) des Transistors 72 muß so eingerichtet sein, daß sie den Stromfluß durch diesen verhindert. Es ist nicht zulässig, die Schwellspannung (V_{th}) des Transistors unter die Schwellspannung (V_{th}) des Transistors ohne eingeschriebene ROM-Daten zu vermindern, durch Schreiben der ROM-Daten wie beim Transistor des abgesenkten Typs beim vorab beschriebenen NAND-Masken-ROM. Daher muß die Schwellspannung (V_{th}) des Transistors mit ROM-Daten so gewählt werden, daß sie höher als die Schwellspannung (V_{th}) des Transistors ohne eingeschriebene ROM-Daten ist.

Der NAND-Masken-ROM und der NOR-Masken-ROM wurden oben schematisch beschrieben, und es erfolgt im weiteren eine detaillierte Beschreibung.

Ein 16stufiger NAND-Typ Absenkungs-ROM wird nachfolgend als ein Beispiel des NAND-Typ Masken-ROM herkömmlicher Art beschrieben. Fig. 78 ist eine Draufsicht des 16stufigen NAND-Typ Absenkungs-ROM. Wie in Fig. 78 gezeigt, umfaßt der NAND-Typ Absenkungs-ROM Elementisolations-Oxidfilme 103, die zueinander parallel liegen und voneinander unabhängig sind, und die beispielsweise aus Oxidfilm oder dergleichen gebildet sind, der durch ein LOCOS (lokale Oxidation von Silizium)-Verfahren gebildet ist. Eine Mehrzahl von Gateelektroden 107 ist senkrecht zu den Elementisolations-Oxidfilmen 103 gebildet. Jede Gateelektrode 107 ist auf einem Halbleitersubstrat vorgesehen, mit einem dazwischenliegenden Gateisolationsfilm, und ist beispielsweise aus einem Mehrschichtfilm von Polysilizium und Metallsilizid mit hohem Schmelzpunkt gebildet. Aus diesen (bei diesem Beispiel 16) Gateelektroden 107 dienen Elektroden als Auswahlgatter (Auswahlgates) S0 und S1 sowie Elektroden als Wortleitungen W0—Wf. Ferner sind auf dem Halbleitersubstrat und den Gateelektroden 107 erstrecken, mit einem dazwischenliegenden Isolationszwischenfilm gebildet. Beispielsweise ist der Isolationszwischenfilm aus einem BPSG-Film (Bor-Phosphorsilikatglas) gebildet, der durch eine CVD-Methode aufgebracht wurde. Die Bitleitungen B0—B3 sowie die Sourceleitungen SL0 und SL1 sind beispielsweise aus einer Aluminiumlegierung gebildet. Die Bitleitungen B0—B3 sind über Bitleitungskontakte BC0—BC3 mit Fremdatomdiffusionsschichten (Drainbereichen) verbunden, die jeweils im Halbleitersubstrat gebildet sind. Die Sourceleitungen SL0 und SL1 sind über Sourceleitungskontakte SC0 und SC1 mit Fremdatomdiffusionsbereichen (Sourcebereichen) verbunden, die im Halbleitersubstrat gebildet sind. Ein Schutzfilm (nicht gezeigt) ist über den Bitleitungen B0—B3 sowie den Sourceleitungen SL0 und SL1 gebildet. Der Schutzfilm besteht aus einem Nitridfilm oder dergleichen, der durch eine Plasma-CVD-Methode gebildet wurde.

Fig. 79 ist ein Äquivalenzschaltbild mit dem 16stufigen NAND-Typ Verarmungs-ROM mit dem oben beschriebenen Aufbau. Wie in Fig. 79 gezeigt, sind parallele Transistorfolgen 0a—4a, 0b—3b, 0c—4c sowie 0d—3d vorgesehen, die jeweils eine Mehrzahl von in Reihe verbundenen Transistoren aufweisen. Die Transistorketten sind jeweils mit einem Ende mit Bitleitungen B0—B4 über die Bitleitungskontakte BC0—BC4 verbunden. Die Transistorketten 0a—4a sowie 0b—3b sind jeweils mit dem anderen Ende über Sourceleitungskontakte SC0—SC2 mit den Sourceleitungen SL0—SL2 verbunden. Die Auswahlgatter S0 und S1 sowie die Wortleitungen W0—Wf sind senkrecht zu den Bitleitungen B0—B4 sowie den Sourceleitungen SL0—SL2 gebildet. Die in der Figur schraffiert gezeichneten Transistoren weisen eingeschriebene ROM-Daten auf, und sind in diesem Beispiel Verarmungstyp-Transistoren, die so angepaßt sind, daß sie eine niedrige Schwellspannung besitzen, durch Ionenimplantation, zum Einschreiben von ROM-Daten.

Unter Bezug auf die Fig. 80 und 81 wird nachfolgend ein genauer Aufbau des 16stufigen NAND-Typ Verarmungs-ROM beschrieben. Die Fig. 80 und 81 sind Schnittansichten entlang der Linien A-A bzw. B-B in Fig. 78.

Wie in Fig. 80 gezeigt, besitzt ein P-Typ-Halbleitersubstrat 100 eine Hauptoberfläche, in welcher Fremdatombereiche 108 des n-Typs mit niedriger Konzentration vorbestimmte Abstände voneinander entfernt gebildet sind. Die Niedrigkonzentration-Fremdatombereiche 108 beschreiben Kanalbereiche, auf denen Gateelektroden 107 (S0, S1, W0, Wf sowie Wf) gebildet sind, mit dazwischenliegenden Gateisolationsfilmen 106. Es sind auch n-Typ Hochkonzentrations-Fremdatombereiche 111 gebildet, die jeweils in Ende aufweisen, das an einer entfernten Position von der Gateelektrode 107 vom Ende des Niedrigkonzentrations-Fremdatombereiches 108

liegt und sich vom Ende von der Gateelektrode 107 weg erstreckt. Ein Abstandselement (Spacer) 110 ist auf jeder Seitenwand der Gateelektrode 107 gebildet. N-Typ Fremdatomdiffusionsschichten (nachfolgend als "Verarmungs-Implantationsschichten" bezeichnet) 105 sind in den Kanalbereichen unter den vorbestimmten Gateelektroden 107 (S0 und Wf) gebildet. Bei diesem Beispiel ändern die Verarmungs-Implantationsschichten 105 die Schwellspannung (V_{th}) der Transistoren mit den Gateelektroden S0 und Wf von einem Wert zwischen etwa 0 und 1 V in den tiefen Verarmungszustand. Ein Isolationszwischenfilm 112, z. B. aus BPSG-Film, ist auf den jeweiligen Gateelektroden 107, den Abstandselementen 110 und auf dem p-Halbleitersubstrat 110 gebildet.

Verbindungsschichten 114 aus Aluminiumlegierung oder dergleichen sind auf dem Isolationszwischenfilm 112 gebildet. Die Verbindungsschicht 114 aus Fig. 80 entspricht der Bitleitung B1 in Fig. 78. An einer vorbestimmten Stelle im Isolationszwischenfilm 112 ist eine Kontaktöffnung 113 gebildet, zum Verbinden des im p-Typ Halbleitersubstrat 100 gebildeten Fremdatombereiches und der Verbindungsschicht 114. Das Kontaktloch 113 in Fig. 80 entspricht dem Bitleitungskontakt BC1. Die Verbindungsschicht 114 ist mit einem Schutzfilm 115 bedeckt, der aus einem Nitridfilm oder dergleichen gebildet ist.

Wie in Fig. 81 gezeigt, sind die Elementisolations-Oxidfilme 103 voneinander entfernt in der Hauptoberfläche des p-Typ Halbleitersubstrates 100 gebildet. Die Verarmungs-Implantationsschichten 105 sind zwischen den vorbestimmten Elementisolations-Oxidfilmen 103 gebildet. Gateisolationsfilme 106 sind auf Abschnitten der Hauptoberfläche des p-Typ Halbleitersubstrates 100 gebildet, zwischen den Elementisolations-Oxidfilmen 103. Die Gateelektroden 107 sind auf den Gateisolationsfilmen 106 und den Elementisolations-Oxidfilmen 103 gebildet. Der Isolationszwischenfilm 112 ist auf den Gateelektroden 107 gebildet, und die Verbindungsschichten 114 (B0, B1 sowie SL1) sind auf den vorbestimmten Bereichen des Isolationszwischenfilmes 112 gebildet. Die Verbindungsschichten 114, die in der Figur gezeigt sind, entsprechen den Bitleitungen B0 und B1 sowie der Sourceleitung SL1 in Fig. 78, wie aus den Bezugszeichen in der Figur zu sehen ist. Die Verbindungsschicht 114 und der Isolationszwischenfilm 112 sind mit dem Schutzfilm 115 bedeckt, der aus einem Nitridfilm oder dergleichen gebildet ist.

Das NAND-Typ Masken-ROM ist im allgemeinen mit den Auswahlgattern S0 und S1 versehen, wie in den Fig. 78 und 79 gezeigt. Bei diesem Beispiel, wie in Fig. 79 gezeigt, ist die Verarmungs-Implantationsschicht 105 im Kanalbereich von einem der Auswahlgatter S0 und S1 gebildet, der in der selben Transistorkette enthalten ist. Der mit der Verarmungs-Implantationsschicht 105 versehene Transistor entspricht dem oben beschriebenen Verarmungstyptransistor. Die Verarmungsschichten 105 sind ebenfalls an den Kanalbereichen von gewünschten Wortleitungen W0-Wf gebildet, in Abhängigkeit des Inhaltes der zu speichernden Daten. Daher werden die Verarmungstyptransistoren in Abhängigkeit von den zu speichernden Daten gebildet.

Der Betrieb des oben beschriebenen NAND-Typ Verarmungs-ROM wird nachfolgend unter Bezug auf Fig. 79 beschrieben. Wie in Fig. 79 gezeigt, ist die implantierte Verarmungsschicht 105 in einem der Transistoren gebildet, die durch die Auswahlgatter S0 und S1 in jeder Transistorkette (die nachfolgend als "NAND-Kette" bezeichnet wird) gebildet sind. Mit anderen Worten, einer dieser Transistoren ist vom Verarmungstyp (abgesenkten Typ). Die Transistoren vom Verarmungstyp sind nicht in beiden der zwei benachbarten NAND-Ketten (z. B. 1a und 1b) des selben Auswahlgatters gebildet. Das heißt, die Verarmungstyptransistoren in den Auswahlgattern S0 und S1 sind in einer Zickzack-Weise angeordnet.

Mit einem der Bitleitungskontakte, z. B. dem Bitleitungskontakt BC1, sind vier NAND-Ketten verbunden, z. B. Ketten 1a bis 1d in diesem Beispiel. Bei einer Leseoperation wählen die Auswahlgatter (Auswahlgates) S0 und S1 eine der NAND-Ketten. Um beispielsweise Kette 1b auszuwählen, wird ein hohes Potential, d. h. zwischen 2 und 5 V in diesem Beispiel, an die mit dem Bitleitungskontakt BC1 verbundene Bitleitung B1 angelegt. Ferner wird das Auswahlgatter S0 auf hohem Potential gehalten, indem daran eine Spannung angelegt wird, die höher als die Schwellspannung (V_{th}) des Transistors ist, der in diesem Beispiel durch Auswahlgatter S0 gebildet wird, und das Auswahlgatter S1 wird auf niedrigem Potential (Erdpegel) gehalten. Die Sourceleitungen SL0-SL2 und die anderen Auswahlgatter (Auswahlgates) einschließlich der in der Figur nicht gezeigten werden auf Erdpegel gehalten.

Bei dieser Operation wird hohes Potential an die Bitleitung B1 angelegt, wie oben beschrieben, und dadurch wird das hohe Potential an die NAND-Ketten 1a-1d über den Bitleitungskontakt BC1 angelegt. Allerdings fließt der Strom nicht durch die NAND-Ketten 1c und 1d, da alle Auswahlgatter der NAND-Ketten 1c und 1d auf niedrigem Potential (Erdpegel) stehen. Da das hohe Potential an das Auswahlgatter S0 angelegt wird, fließt der Strom durch die Transistoren, die durch das Auswahlgatter S0 in den Ketten 1a und 1b gebildet werden. Durch das niedrige Potential (Erdpegel) des Auswahlgatters S1 fließt der Strom durch den Verarmungstyptransistor, der durch das Auswahlgatter (Auswahlgate) S1 in der Kette 1b gebildet wird, aber der Strom fließt nicht durch den Transistor, der durch das Auswahlgate S1 in der Kette 1a gebildet wird. Auf diese Weise wird die Kette 1b ausgewählt.

Nachdem die NAND-Kette 1b auf diese Weise ausgewählt wurde, wird bestimmt, ob die ROM-Daten in den Transistor in der ausgewählten NAND-Kette eingeschrieben sind. Mit anderen Worten, es wird bestimmt, ob die Verarmungs-Implantationsschicht 105 im ausgewählten Transistor gebildet ist. Diese Bestimmung wird in der unten beschriebenen Weise ausgeführt. In der nachfolgenden Beschreibung wird angenommen, daß der in Fig. 79 umkreiste Transistor ausgewählt wird, und es wird bestimmt, ob die Verarmungs-Implantationsschicht 105 im ausgewählten Transistor gebildet ist.

Wie oben beschrieben, nachdem die Kette 1b ausgewählt wurde, wird die Wortleitung Wd auf niedrigem Potential gehalten (Erdpegel), und die anderen Wortleitungen W0-Wc, We und Wf werden auf dem hohen Potential der Spannung höher als die Schwellspannung (V_{th}) des Transistors gehalten, der nicht die Verarmungs-Implantationsschicht 105 enthält. Dadurch werden die Transistoren in der Kette 1b, deren Gateelektroden durch andere Wortleitungen als die Wortleitung Wd gebildet sind, leitend, unabhängig von dem Vorliegen oder Nicht-Vorliegen der Verarmungs-Implantationsschicht 105. Ob der Strom zwischen der Bitleitung BL1 und der

Sourceleitung SL1 fließt, hängt davon ab, ob der Strom durch den Transistor fließt, der die Wortleitung Wd als Gateelektrode benutzt. Bei diesem Beispiel fließt der Strom, da der Transistor mit der Verarmungs-Implantationsschicht 105 versehen ist, wie in Fig. 79 gezeigt. Wenn dieser Transistor nicht mit der Verarmungs-Implantationsschicht 105 versehen wäre, würde der Strom nicht fließen. Auf diese Weise, durch Erkennen des durch die Bitleitung B1 fließenden Stromes, ist es möglich zu bestimmen, ob die Verarmungs-Implantationsschicht 105 im Kanalbereich des ausgewählten Transistors gebildet ist. Daher können die Datenwerte "0" und "1" gespeichert werden, auf der Basis des Vorliegens oder Nicht-Vorliegens der Verarmungs-Implantationsschicht 105. Ein Herstellungsverfahren des 16stufigen NAND-Typ Verarmungs-ROM wird nachfolgend beschrieben. Die Fig. 82 und 92 sind teilweise Schnittansichten entlang der Linie A-A aus Fig. 78 und entsprechen Fig. 80. Die Fig. 93-103 sind teilweise Schnittansichten entlang der Linie B-B aus Fig. 78 und entsprechen Fig. 81. Die Fig. 82-92 entsprechen den Fig. 93-103 und zeigen jeweils dieselben Schritte im Herstellungsprozeß. Das Herstellungsverfahren des 16stufigen NAND-Typ Verarmungs-ROM wird nachfolgend unter Bezug auf die Fig. 82-103 beschrieben.

Wie in den Fig. 82 und 93 gezeigt, ist ein Spannungs-Entlastungsfilm (Belastungsverminderungsfilm) 101, wie ein thermischer Oxidfilm, auf dem p-Halbleitersubstrat 100 gebildet, zum Vermindern einer Belastung, die während der Bildung der Element trennenden Oxidfilme 103 erzeugt wird. Falls nötig, ist das p-Halbleitersubstrat 100 mit einer p-Wanne versehen, die durch Einführen von p-Fremdatomen wie Bor (B) in das Halbleitersubstrat und thermische Diffusion derselben gebildet wird. Eine Peripherieschaltung ist mit einer n-Wanne versehen, die durch Einführen von n-Typ-Fremdatomen wie Phosphor, durch ein Ionenimplantationsverfahren und thermisches Diffundieren von diesen gebildet wird. Ein oxidationsbeständiger Film 102, wie ein Nitridfilm, ist auf dem Spannungsentlastungsfilm 101 durch das CVD-Verfahren gebildet. Der oxidationsbeständige Film 102 wird durch bekannte Photolithographie und Ätzen bemustert. Der bemusterte oxidationsbeständige Film 102 wird als Maske benutzt, und eine thermische Oxidation wird durchgeführt, zum Bilden der Elementisolationen 103, wie in Fig. 93 gezeigt. In diesem Zustand wird oft ein p-Typ Fremdatom wie Bor (B) in Bereiche unter die Elementisolationsoxidfilme 103 eingebracht, so daß die Schwellspannung (V_{th}) von parasitären Transistoren, die von Gateelektroden 107 gebildet werden, hinreichend verringert werden, wobei die Gateelektroden 107 über den Elementisolationen-Oxidfilmen 103 während eines späteren Schrittes gebildet werden. Falls nötig, werden p-Typ Fremdatome und n-Typ Fremdatome eingebracht, z. B. durch die Ionenimplantationsmethode, in Bereiche, die Speicherzellenfeldbereichen entsprechen, und auch in Bereiche, die Kanalbereichen entsprechen, von peripheren p-Typ und n-Typ Kanaltransistoren, zum Anpassen der Schwellspannung (V_{th}) der jeweiligen Transistoren.

Wie in den Fig. 84 und 95 gezeigt, wird ein Resistmuster 104 gebildet, zum Freilegen von Bereichen, die den Kanalbereichen der vorgesehenen Transistoren entsprechen, aus denen, die durch die Auswahlgates und Wortleitungen gebildet sind. Unter Benutzung des Resistmusters 104 als Maske werden n-Typ Fremdatome wie Phosphor (P) in die Bereiche eingebracht, die den oben erwähnten Kanalbereichen entsprechen, durch die Ionenimplantationsmethode, zum Bilden der abgesenkten Implantationsschichten 105.

Danach wird, wie in Fig. 85 und 96 gezeigt, der Spannungsentlastungsfilm 101 entfernt, und das thermische Oxidationsverfahren wird benutzt, zum Bilden der Gateisolationen 106, z. B. als Oxidfilme. Gateelektrodenmaterial wird auf den Gateisolationen 106 aufgebracht, z. B. durch das CVD-Verfahren oder ein Sputterverfahren. Die bekannte Photolithographie und Ätzen werden benutzt, zum Bemustern des aufgetragenen Gateelektrodenmaterials, wodurch die Gateelektroden 107 gebildet werden. Im allgemeinen wird Polysilizium oder Silizid mit hohem Schmelzpunkt kombiniert mit Polysilizium als Basismaterial als Material für die Gateelektrode benutzt.

Wie in Fig. 86 gezeigt, werden die Gateelektroden 107 als Maske benutzt, und n-Typ Fremdatome wie Phosphor (P) oder Arsen (As) werden in die source/Drainbereiche der n-Kanal-Transistoren implantiert, zum Bilden der Niedrigkonzentration-Fremdatombereiche 108 mit Konzentrationen von etwa $10^{17} - 10^{19} \text{ cm}^{-3}$. Der Zweck der Niedrigkonzentration-Fremdatombereiche 108 ist es, das elektrische Feld in der Nähe der Drainbereiche zu schwächen und damit eine Verschlechterung der Betriebscharakteristiken des Transistors zu unterdrücken.

Wie in den Fig. 87 und 98 gezeigt, wird ein CVD-Film 109, wie ein Oxidfilm, Nitridfilm oder Polysiliziumfilm, auf den Gateisolationen 106 und den Gateelektroden 107 über das CVD-Verfahren aufgebracht. Wie in Fig. 88 gezeigt, wird anisotropes Ätzen ausgeführt, zum vollständigen Entfernen von Bereichen des CVD-Filmes 109 auf flachen Abschnitten, so daß die anderen Bereiche des CVD-Filmes 109, die Abstandselemente 110 bilden, auf den Seitenwänden der Gateelektroden 107 verbleiben. Wie in Fig. 89 gezeigt, werden die Abstandselemente 110 als Maske benutzt, und n-Typ Fremdatome wie Phosphor (P) oder Arsen (As) werden durch das Ionenimplantationsverfahren in Bereiche eingebracht, die Source/Drainbereiche der n-Kanal-Transistoren entsprechen, wodurch Hochkonzentrations-Fremdatombereiche 111 mit einer Konzentration von etwa $10^{20} - 10^{22} \text{ cm}^{-3}$ gebildet werden.

Wie in den Fig. 90 und 101 gezeigt, wird der Isolationszwischenstofffilm 112, der ein Oxidfilm, ein PSG (Phosphorsilikatglas)-Film, ein BPSG-Film oder ein Mehrschichtfilm mit diesen ist, auf dem p-Typ Halbleitersubstrat 100, den Abstandselementen 110 und den Gateelektroden 107 durch das CVD-Verfahren gebildet. Wie in Fig. 91 gezeigt, werden die Kontaktlöcher 113 an vorgesehenen Abschnitten des Isolationszwischenstofffilms 112 durch bekannte Photolithographie- und Ätztechniken gebildet. Der Isolationszwischenstofffilm 112 wird im allgemeinen durch Schmelzen (Reflow) des PSG-Filmes oder des BPSG-Filmes durch die Wärmebehandlung geglättet, oder durch einen aufgetragenen Glättungsfilm, wie einen SOG (Spin on Glass)-Film.

Danach wird, wie in den Fig. 92 und 103 gezeigt, das Sputterverfahren, die CVD-Methode oder dergleichen benutzt, zum Aufbringen des Verbindungsmaterials, das dann durch Photolithographie und Ätzen bemustert

wird, zum Bilden der Verbindungsschichten 114. Das Verbindungsmaterial kann eine Aluminiumlegierung sein, die ein Additiv enthält, wie Silizium (Si) oder Kupfer (Cu), Metall mit hohem Schmelzpunkt, Silizid eines Metalles mit hohem Schmelzpunkt, oder ein Nitrid eines Metalles mit hohem Schmelzpunkt, oder kann ein Verbundfilm davon sein. Der Schutzfilm 115, wie ein Nitridfilm oder ein Oxidfilm, wird über den Verbindungsschichten 114 durch das CVD-Verfahren gebildet. Bei diesem Schritt werden Endabschnitte für externe Verbindungen geöffnet. Auf diese Weise wird der 16stufige NAND-Typ Verarmungs-ROM aus den Fig. 80 und 81 vervollständigt.

Unter Bezug auf die Fig. 104 wird nachfolgend der Aufbau des NOR-Typ Masken-ROM beschrieben. Die Fig. 101 ist eine Draufsicht mit einem Beispiel des NOR-Typ Masken-ROM. Wie in Fig. 104 gezeigt, ist eine Mehrzahl von Elementisoliations-Oxidfilmen 133 unabhängig voneinander mit dazwischenliegenden Abständen gebildet. Die Bitleitungen B0—B2 und die Sourceleitung SL1 sind in einer Ebene zwischen den elementtrennenden Oxidfilmen 133 gebildet. Die Wortleitungen W0—W5 sind im wesentlichen senkrecht zu den Bitleitungen B0—B2 und zur Sourceleitung SL1 gebildet. Die Bitleitungen B0—B2 sind über eine Mehrzahl von Bitleitungskontakten BC0—BC8 mit Drainbereichen der Transistoren verbunden, die im Halbleitersubstrat gebildet sind. Die Sourceleitung SL1 ist über eine Mehrzahl von Sourceleitungskontakten SC0—SC3 mit Sourcebereichen der im Halbleitersubstrat gebildeten Transistoren verbunden.

Transistoren, welche die Wortleitungen W0—W5 als Gateelektroden aufweisen, sind an Positionen angeordnet, an welchen die Bitleitungen B0—B2 und die Wortleitungen W0—W5 einander überlappen. Diese Transistoren bilden Speicherelemente. Die die Speicherelemente bildenden Transistoren umfassen Kanalbereiche, deren Fremdatomkonzentration angepaßt ist, so daß sie die Schwellspannung (V_{th}) zwischen etwa 0,5 Volt und etwa 2 Volt aufweisen. Zum Schreiben von ROM-Daten werden n-Typ Fremdatome wie Bor (B) in die Kanalbereiche der vorgesehenen Transistoren aus den die Speicherelemente bildenden Transistoren eingebracht, wenn die Transistoren vom n-Typ sind. Daher werden die vorgesehenen Transistoren so angepaßt, daß sie eine Schwellspannung (V_{th}) höher als die Schwellspannung (V_{th}) der Transistoren aufweisen, die keine eingeschriebenen ROM-Daten aufweisen.

Eine Leseoperation des Transistors mit eingeschriebenen ROM-Daten wird nachfolgend unter Bezug auf Fig. 105 beschrieben. Fig. 105 ist ein Äquivalenzschaltbild des in Fig. 104 gezeigten NOR-Typ Masken-ROM. Wie in Fig. 105 gezeigt, wird angenommen, daß ROM-Daten in die schraffierten Transistoren eingeschrieben sind. Die schraffierten Transistoren weisen eine Schwellspannung (V_{th}) auf, die so angepaßt ist, daß sie höher als die Schwellspannung (V_{th}) der Transistoren ist, die nicht schraffiert sind.

In der nachfolgenden Beschreibung wird ein Verfahren zum Auswählen des in Fig. 105 umkreisten Transistors beschrieben, sowie eine Entscheidung, ob ROM-Daten in den ausgewählten Transistor eingeschrieben sind. Um den umkreisten Transistor auszuwählen, wird ein hohes Potential an die Bitleitung B1 und die Wortleitung W1 angelegt. Dadurch wird der in der Figur umkreiste Transistor ausgewählt. Bei dieser Operation werden das Halbleitersubstrat und die Sourceleitung SL1 auf Erdpotential gehalten. Die an die Wortleitung W1 angelegte Spannung wird so gewählt, daß sie niedriger als die Schwellspannung des Transistors mit den eingeschriebenen ROM-Daten ist, und höher als die Schwellspannung des Transistors ohne eingeschriebene ROM-Daten. Damit weist der in der Figur umkreiste Transistor die eingeschriebenen ROM-Daten auf. Daher fließt der Strom nicht zwischen der Bitleitung B1 und der Sourceleitung SL1. Wenn der umkreiste Transistor nicht die eingeschriebenen ROM-Daten hätte, würde der Strom zwischen der Bitleitung B1 und der Sourceleitung SL1 fließen. Durch Erkennen des so fließenden Stromes zwischen der Bitleitung und der Sourceleitung wird entschieden, ob der ausgewählte Transistor die ROM-Daten in den Kanalbereich eingeschrieben aufweist.

Nachfolgend wird ein Herstellungsverfahren des NOR-Typ Masken-ROM unter Bezug auf die Fig. 106—114 beschrieben. Die Fig. 106—114 sind Schnittansichten entlang der Linie C-C aus Fig. 104. Wie in Fig. 106 gezeigt, ist ein Spannungs-Entlastungsfilm 131 gebildet, entsprechend dem Fall des Verarmungs-ROM vom NAND-Typ, und die Elementisoliations-Oxidfilme 133 sind gebildet. Wenn nötig, werden Fremdatome in Bereiche implantiert, die die Kanalbereiche der Transistoren bilden werden, zum Anpassen der Fremdatomkonzentration der Kanalbereiche. Ein Resistmuster 134 wird gebildet, zum Freilegen der Kanalbereiche der vorgesehenen Transistoren. Das Resistmuster 134 wird als Maske benutzt, und p-Typ Fremdatome wie Bor (B) werden implantiert, so daß Kanal-Implantationschichten 132 mit der Konzentration zwischen etwa 10^{12} und 10^{14} cm^{-3} gebildet werden.

Wie in Fig. 107 gezeigt, wird der auf dem p-Typ Halbleitersubstrat 130 gebildete Spannungs-Entlastungsfilm 131 entfernt, so daß die Gateisoliationsfilme 136 gebildet werden. Gateelektroden 137 werden durch das Verfahren gebildet, das gleich dem für den NAND-Typ Absenkungs-ROM ist. Danach werden, wie in Fig. 108 gezeigt, die Gateelektroden 137 als Masken benutzt, und n-Typ Fremdatome wie Phosphor (P) oder Arsen (As) werden ionenimplantiert, zum Bilden von Niedrigkonzentrations-Fremdatomdiffusionsbereichen 138 mit einer Konzentration von 10^{17} — 10^{18} cm^{-3} . Wie in Fig. 19 gezeigt, wird ein CVD-Film 139 wie ein Oxidfilm, ein Nitridfilm oder ein Polysiliziumfilm, über den Gateisoliationsfilmen 136 und den Gateelektroden 137 aufgebracht.

Wie in Fig. 110 gezeigt, wird anisotropes Ätzen durchgeführt, zum Bilden von Abstandselementen (Spacern) 140 auf den Seitenwänden der Gateelektroden 137. Wie in Fig. 111 gezeigt, werden die Spacer 140 als Maske benutzt, und n-Typ Fremdatome wie Phosphor (P) oder Arsen (As) werden in das p-Halbleitersubstrat 130 ionenimplantiert, zum Bilden von Hochkonzentrations-Fremdatombereichen 141 mit der Konzentration von etwa 10^{20} — 10^{22} cm^{-3} . Dann wird, wie in Fig. 112 gezeigt, die CVD-Methode benutzt, zum Bilden eines Isolationszwischenfilmes 142, wie eines Oxidfilmes, eines PSG-Filmes, eines BPSG-Filmes oder eines Mehrschichtfilmes aus diesen. Wie in Fig. 113 gezeigt, werden Kontaktlöcher 143 an vorgesehenen Bereichen des Isolationszwischenfilmes 142 gebildet, durch bekannte Photolithographie und Ätzen. Wie in Fig. 114 gezeigt, wird Verbindungsmaterial auf dem p-Typ Halbleitersubstrat 130 und dem Zwischenfilmschichtisoliationsfilm 142 durch das Sputterverfahren, eine CVD-Methode oder dergleichen aufgebracht, und dann durch bekannte Photolithographie und Ätzen bemustert, zum Bilden von Verbindungsschichten 144. Ein Schutzfilm (nicht gezeigt) wie ein Nitridfilm oder ein Oxidfilm wird auf den Verbindungsschichten 144 durch das CVD-Verfahren

gebildet, wodurch der NOR-Masken-ROM vervollständigt wird.

Wie oben beschrieben werden sowohl bei dem NAND-Typ Masken-ROM oder dem NOR-Typ Masken-ROM die Verarmungs-Implantationsschichten 105 oder die geschnittenen Kanal-Implantationsschichten 132 gebildet (d. h. die ROM-Daten werden geschrieben), vor der Bildung der Gateisolationsfilme 106 oder 136. Daher wird ein langer Zeitraum gebraucht, für die Schritte von der Entscheidung über den Inhalt des ROM bis zur Beendigung des Masken-ROM. Folglich wird eine lange Produktionszeit benötigt, vom Empfangen der ROM-Daten von einem Kunden bis zur Auslieferung, und daher ist es schwierig, eine vorteilhafte QTAT (quick turn around time = schnelle Fertigstellungszeit) zu erreichen.

Maßnahmen zum Verbessern der QTAT existieren bereits, und eine Maßnahme für den NAND-Typ Masken-ROM sowie eine Maßnahme für den NOR-Typ Masken-ROM werden nachfolgend unabhängig voneinander beschrieben.

Zu Anfang wird eine Beschreibung bezüglich des Masken-ROM vom NAND-Typ vorgenommen. Die Maßnahmen zum Erreichen einer vorteilhaften QTAT werden in der japanischen Patentoffenlegungsschrift Nr. 58-705 67 (1983) offenbart. Entsprechend der in der japanischen Offenlegungsschrift 58-705 67 beschriebenen Erfindung wird, nach dem Bilden der Fremdatombereiche und der Gateelektroden, ein Resistmuster gebildet, das die Gateelektroden der beabsichtigten Transistoren freilegt, und die Fremdatome werden durch die Gateelektroden implantiert, unter Benutzung des Resistmusters als Maske. Auf diese Weise werden Fremdatome in die Kanalbereiche der vorgesehenen Transistoren implantiert.

Wenn die in der japanischen Patentoffenlegungsschrift Nr. 58-705 67 offenbarte Erfindung auf den oben beschriebenen Stand der Technik angewendet wird, werden n-Typ Fremdatomionen mit hoher Energie durch die Gateelektroden 107 implantiert, zum Bilden der abgesenkten Implantationsschichten 105, nach der Bildung der Hochkonzentrations-Fremdatombereiche 111, die in Fig. 89 gezeigt sind. Daher können die Schritte vom Anfang bis zur Bildung der Hochkonzentrations-Fremdatombereiche 111 vorab beendet werden, vor dem Schreiben der ROM-Daten, die von einem Kunden geliefert werden, und daher kann die QTAT eher erreicht werden, verglichen mit der obigen bekannten Technik.

Allerdings müssen bei dem obigen Verfahren die in die Kanalbereiche zu implantierenden Fremdatombereiche durch die Gateelektroden 107 und die Gateisolationsfilme 106 hindurchtreten. Daher ist eine hohe Energie für die Implantation der Ionen notwendig. Insbesondere im Fall des NAND-Typ Masken-ROM müssen die vorgesehenen Transistoren in den Verarmungstyp ("depression type") geändert werden. Daher müssen schwere Elemente wie Phosphor (P) oder Arsen (As) implantiert werden. Folglich ist die benötigte Energie höher als die für die NOR-Typ Masken-ROM, bei welchen die ROM-Daten durch die Implantation eines relativ leichten Elementes wie Bor (B) geschrieben werden.

Beispielsweise wird die Energie zwischen etwa 300 und etwa 500 Kev in dem Fall benötigt, daß die Gateelektroden 107 aus Polysiliziumfilm von etwa 300 nm Dicke gebildet werden, und Phosphor (P)-Ionen durch die Gateelektroden 107 hindurch zu implantieren sind. Wenn ein Metallsilizid mit hohem Schmelzpunkt als Material der Gateelektroden 107 zum Vermindern eines Widerstands der Elektroden 107 und damit zum Erhöhen der Operationsgeschwindigkeit der Halbleitervorrichtung benutzt wird, liegt hierin ein weiterer Widerstand gegen das Hindurchtreten von Ionen durch die Gateelektroden 107. Wenn beispielsweise ein Mehrschichtfilm aus Wolframsilizid von etwa 200 nm Dicke und Polysilizium eine Dicke von etwa 200 nm als Material der Gateelektroden 107 benutzt wird, muß das Phosphor (P)-Ion mit der Energie von 500 Kev oder mehr implantiert werden, um das Hindurchtreten des Phosphor (P)-Ions durch die Gateelektroden 107 zu erlauben.

Um ein hinreichend tiefes Absenken des Transistors auf Null oder den Submikronbereich zu erlauben, muß das Ion im allgemeinen mit der Rate von 10^{13}cm^{-2} oder mehr implantiert werden. Durch Ionenimplantationsvorrichtungen, die allgemein für Halbleitervorrichtungen benutzt werden, ist es schwierig, eine Ionenimplantation mit einer derartig hohen Energie zu realisieren, und gleichzeitig eine hohe Verarbeitungsrate zu erhalten. Daher benötigt das Schreiben von ROM-Daten Hochenergie-Ionenimplantationsvorrichtungen, die in der Lage sind, die Ionen mit einer hohen Energie zwischen etwa 500 Kev und einem Pegel in der Größenordnung von Mev zu implantieren. Allerdings sind derartige Ionenimplantationsvorrichtungen teuer und voluminös, verglichen mit herkömmlichen Ionenimplantationsvorrichtungen.

Ferner muß das als Maske für die Ionenimplantation benutzte Resist eine gewisse Dicke haben, die es gestattet, daß das Resist hinreichend als Maske wirkt, selbst im Fall der Ionenimplantation mit hoher Energie. Beispielsweise in dem Fall der Ionenimplantation mit hoher Energie von 500 Kev oder mehr muß das Resist die Dicke von 2 µm oder mehr haben. Allerdings ist eine erhöhte Dicke des Resists nachteilig bezüglich der Bildung eines kleinen (miniaturisierten) Resistmusters zum Miniaturisieren der Halbleitervorrichtung. Angesichts der Miniaturisierung der Halbleitervorrichtung ist ein Anstieg der Dicke des Resistfilmes nachteilig, und daher ist bei diesem Beispiel die Ionenimplantation mit hoher Energie nachteilig.

Obwohl die Ionenimplantation mit hoher Energie gestattet, daß das Ion durch die Gateelektroden 107 in die Kanalbereiche der vorgesehenen Transistoren eintritt, bewirkt dies, daß das in das Halbleitersubstrat eingetretene Ion in seitlicher Richtung weit streut. Angesichts der Miniaturisierung der Halbleitervorrichtung weist die Gateelektrode 107 eine verminderte planare Größe auf. Allerdings ist die Dicke und die Größe in Längsrichtung (Logitudinalrichtung) nicht wesentlich vermindert, verglichen mit der planen Abmessung. Dies dient dazu, eine Querschnittsfläche der Gateelektrode 107 aufrecht zu erhalten, zum Unterdrücken eines Anstieges eines Verbindungswiderstandes der Gateelektrode 107.

Aus den obigen Gründen, selbst wenn sie miniaturisiert wird, ist die Dicke der Gateelektrode 107 nicht deutlich verringert, und die Implantationsenergie wird nicht deutlich vermindert. Wenn beispielsweise Phosphor (P)-Ionen in Silizium mit einer Energie von 500 Kev implantiert werden, erreichen die Phosphor (P)-Ionen die Tiefe von etwa 0,62 µm im Durchschnitt, aber eine Standardabweichung α der Ausbreitung in seitlicher (lateral)er Richtung beträgt etwa 0,2 µm. Wenn eine Verteilung von 3 α angenommen wird, erreicht die seitliche Ausdeh-

nung 0,6 μm . Bei der Halbleitervorrichtung mit Submikronabmessungen kann daher die Beeinflussung benachbarter Speicherelemente nicht ausgeschlossen werden, was zu einem Faktor führt, der die Miniaturisierung beschränkt.

Die Art und Weise, wie die seitliche Ausdehnung der implantierten Ionen mit den benachbarten Speicherelementen zusammenwirkt, wird nachfolgend unter Bezug auf die Fig. 115(I) und (II) beschrieben. Fig. 115(I) zeigt den Aufbau des obigen Standes der Technik, bei dem, nach der Bildung der Hochkonzentrations-Fremdatombereiche 111, ein Resistmuster 116 gebildet wird, und die Absenkungs-Implantationsschichten 105(a) durch Implantation der Ionen in die Kanalbereiche der vorgesehenen Transistoren gebildet werden, mit der hohen Energie, die das Hindurchtreten der Ionen durch die Gateelektroden 117 gestatten. Wie in Fig. 115(I) gezeigt, erhöht die Ionenimplantation mit der hohen Energie die seitliche Ausdehnung der Verarmungs-Implantationsschichten 105a. Wie durch "105b" in der Figur bezeichnet, kann die Verarmungs-Implantationsschicht 105a sich bis zu den Kanalbereichen der benachbarten Transistoren ausdehnen. Hierdurch wird nachteilig die effektive Kanallänge t der benachbarten Transistoren vermindert.

Fig. 115(II) zeigt eine Schnittansicht senkrecht zu der in Fig. 115(I). Wie in Fig. 115(II) gezeigt, erreichen durch die große Ausbreitung der Verarmungs-Implantationsschicht 105a die unteren Seiten der Elementisoliations-Oxidfilme 103, was zu einer nachteiligen Erzeugung eines Leckstromes in der Nähe der Feldisolationen führt. Wie oben beschrieben, folgt daraus, daß die Beeinflussung benachbarter Speicherelemente durch die Hochenergieionenimplantation nicht ignoriert werden kann.

Nachfolgend wird eine Beschreibung bezüglich des NOR-Typ Masken-ROM vorgenommen. Auch im Fall des NOR-Typ Masken-ROM, entsprechend dem Fall des oben beschriebenen NAND-Typ Masken-ROM kann eine günstige QTAT durch einen Prozeß erreicht werden, bei dem, nach der Bildung der Hochkonzentrations-Fremdatombereiche 141, die p-Typ Fremdatomionen mit hoher Energie durch die Gateelektroden 137 implantiert werden, zum Bilden der Kanal-Implantationsschicht 132. Da auch in diesem Fall das implantierte Ion durch die Gateelektrode 137 hindurchtreten muß, muß die Ionenimplantation mit hoher Energie durchgeführt werden. Allerdings wird Bor (B), ein leichtes Element, oft als p-Typ Fremdatom benutzt. Daher kann das Ion durch die Gateelektrode 137 mit relativ niedriger Energie hindurchtreten, verglichen mit dem Fall von Phosphor (P) oder Arsen (As), die als n-Typ Fremdatome benutzt werden.

Selbst in diesem Fall wird allerdings eine Implantationsenergie von etwa 150 KeV benötigt, wenn das Gateelektrodenmaterial aus Polysiliziumfilm mit einer Dicke von etwa 300 nm gebildet ist. Ferner ist eine Energie zwischen etwa 250 und 400 KeV nötig, wenn das Material der Gateelektroden 137 ein Mehrschichtfilm ist, der aus dem Wolframsilizidfilm von etwa 200 nm Dicke und dem Polysiliziumfilm von etwa 200 nm Dicke gebildet ist, um den Widerstand der Gateelektrode 137 zu verringern.

Wie oben beschrieben, die Ionenimplantationsvorrichtungen, die zur Produktion von Halbleitervorrichtungen benutzt werden, sind im allgemeinen so ausgelegt, daß sie die Implantation mit der Energie von 200 KeV oder geringer durchführen. Obwohl die Energie für den NOR-Typ Masken-ROM niedriger als für den NAND-Typ Masken-ROM ist, wird ein Ionenimplantationsapparat einer speziellen Spezifikation benötigt, und ein derartiger Apparat ist teuer und groß in seinen Abmessungen.

Obwohl die Energie für den NOR-Typ Masken-ROM niedriger als die für den NAND-Typ Masken-ROM ist, ist ein Bereich des implantierten Ions in dem Resistfilm gleich dem im Fall des NAND-Typ Masken-ROM, denn das implantierte Ion, d. h. Bor (B) ist leichter als das Phosphor (P) oder dergleichen. Der Resistfilm muß daher eine große Dicke aufweisen, was nachteilig für die Miniaturisierung ist. Obwohl die Energie zum Implantieren des Ions durch die Gateelektrode niedriger als die für den NAND-Typ Masken-ROM ist, ist das Ausmaß der lateralen Ausdehnung gleich dem Fall des NAND-Typ Masken-ROM aus denselben Gründe wie oben.

Entsprechend kann bei Miniaturisierung einer Halbleitervorrichtung die Beeinflussung benachbarter Transistoren nicht vernachlässigt werden, was eine mögliche Miniaturisierung begrenzt. Fig. 116 ist eine Schnittansicht mit einem Aufbau, bei dem nach der Bildung der Hochkonzentrations-Fremdatombereiche 141 ein Resistmuster 146 gebildet ist, zum Freilegen der Gateelektroden 137 der vorgesehenen Transistoren, und das p-Typ Fremdatom wie Bor (B) wird durch die Gateelektroden 137 mit der hohen Energie implantiert, zum Bilden der Kanalschneide-Implantationsschichten (Channel Cut Implanted Layers) 132a. Wie in Fig. 116 gezeigt, kann die Implantation von Bor (B) mit der hohen Energie die seitliche Ausdehnung des implantierten Ions bis zu den Kanalbereichen benachbarter Transistoren bewirken. Diese Ausbreitung ändert nachteilig die Schwellspannung (V_{th}) der benachbarten Transistoren, was zu einer Fehlfunktion der Datenleseoperation führen kann.

Aufgabe der Erfindung ist es daher, eine Masken-ROM-Halbleitervorrichtung und ein Herstellungsverfahren einer solchen zu schaffen, bei welcher die Produktionszeit verringert werden kann, ohne daß die Eigenschaften der Transistoren verringert werden. Dabei sind die ROM-Daten mit niedriger Energie einzuschreiben und die Möglichkeit einer weiteren Miniaturisierung nicht nachteilig zu beeinflussen. Ferner ist das Einschreiben von ROM-Daten ohne spezielle Vorrichtungen und mit verkürzter Produktionszeit zu gewährleisten.

Die Aufgabe wird durch die Masken-ROM-Halbleitervorrichtung nach dem Patentanspruch 1, 7, 11, 17 sowie das Verfahren nach dem Patentanspruch 20, 32, 37, 43 gelöst.

Vorteilhafte Weiterbildungen sind in den Unteransprüchen beschrieben.

Jede der Masken-ROM-Halbleitervorrichtungen entsprechend der nachfolgenden Ausführungsbeispiele umfaßt einen ersten Transistor mit einer relativ hohen Schwellspannung und einen zweiten Transistor mit einer relativ niedrigen Schwellspannung, die in Reihe verbunden sind.

Gemäß einer Ausführungsform umfaßt eine Masken-ROM-Halbleitervorrichtung ein Halbleitersubstrat eines ersten Leitungstyps mit einer Hauptoberfläche, in der ein erster Fremdatombereich, ein gemeinsamer Fremdatombereich und ein zweiter Fremdatombereich eines zweiten Leitungstyps gebildet sind, mit Abständen zwischeneinander, zum Bilden von Kanalbereichen des ersten und des zweiten Transistors. Eine erste Gateelektro-

de des ersten Transistors ist im Kanalbereich gebildet, der zwischen dem ersten und dem gemeinsamen Fremdatombereich liegt, mit einem dazwischenliegenden Isolationsfilm. Eine zweite Gateelektrode des zweiten Transistors ist im Kanalbereich zwischen dem zweiten und dem gemeinsamen Fremdatombereich mit einem dazwischenliegenden Isolationsfilm gebildet. Ein erster Steuer-Fremdatombereich zum Steuern der Höhe (des Maßes) einer Schwellspannung des zweiten Transistors ist in der Hauptoberfläche des Halbleitersubstrates gebildet. Der erste Steuer-Fremdatombereich überlappt mit dem gemeinsamen Fremdatombereich, mit Ausnahme eines Endes des gemeinsamen Fremdatombereiches, der der ersten Gateelektrode benachbart liegt, und erstreckt sich zum Kanalbereich unter die zweite Gateelektrode. Ein zweiter Steuer-Fremdatombereich zum Steuern der Höhe einer Schwellspannung des zweiten Transistors ist in der Hauptoberfläche des Halbleitersubstrates gebildet. Der zweite Steuer-Fremdatombereich überlappt mit dem zweiten Fremdatombereich und weist einen Abschnitt auf, der mit dem ersten Steuer-Fremdatombereich überlappt und im Kanalbereich unter der zweiten Gateelektrode angeordnet ist.

Die Masken-ROM-Halbleitervorrichtung gemäß dieser Ausführungsform umfaßt einen ersten und einen zweiten Steuer-Fremdatombereich, die einander in einem Bereich unter der zweiten Gateelektrode überlappen. Dieses gestattet die Steuerung der Höhe der Schwellspannung des zweiten Transistors. Wenn der erste und der zweite Steuer-Fremdatombereich denselben Leitungstyp wie der gemeinsame Fremdatombereich und der zweite Fremdatombereich haben, kann die Schwellspannung des zweiten Transistors so angepaßt werden, daß sie niedriger als die Schwellspannung des ersten Transistors ist. Wenn der erste und der zweite Fremdatombereich einen Leitungstyp aufweisen, der umgekehrt dem des gemeinsamen Fremdatombereiches und des zweiten Fremdatombereiches ist, kann die Schwellspannung des zweiten Transistors so angepaßt werden, daß sie höher als die Schwellspannung des ersten Transistors ist. Unter Ausnutzung hiervon wird das Schreiben von Daten in den Masken-ROM ausgeführt. Ein Ende des ersten Steuer-Fremdatombereiches ist zwischen der zweiten Elektrode und dem Ende des gemeinsamen Fremdatombereiches dem ersten Transistor benachbart angeordnet, und das andere Ende ist im Kanalbereich unter der zweiten Gateelektrode angeordnet. Ein Ende des zweiten Steuer-Fremdatombereiches ist zwischen der zweiten Elektrode und einem Ende des zweiten Fremdatombereiches entfernt von der zweiten Gateelektrode angeordnet, und das andere Ende unter der zweiten Gateelektrode angeordnet und überlappt mit dem anderen Ende des ersten Steuer-Fremdatombereiches. Durch diesen Aufbau beeinflußt die Bildung des ersten und des zweiten Steuer-Fremdatombereiches nicht nachteilig die benachbarten Transistoren. Daher ist es möglich, effektiv die nachteilige Beeinflussung benachbarter Transistoren zu vermeiden, die durch das Schreiben ROM-Daten bewirkt werden könnte.

Gemäß einer weiteren Ausführungsform umfaßt eine Masken-ROM-Halbleitervorrichtung ein Halbleitersubstrat eines ersten Leitungstyps mit einer Hauptoberfläche, in dem ein erster Fremdatombereich, ein gemeinsamer Fremdatombereich und zweiter Fremdatombereich gebildet sind, die jeweils aus einer Niedrigkonzentrations-Fremdatomschicht und eine Hochkonzentrations-Fremdatomschicht gebildet sind, mit Abständen zueinander, zum Bilden von Kanalbereichen eines ersten und eines zweiten Transistors. Eine erste Gateelektrode des ersten Transistors ist auf dem Kanalbereich gebildet, der zwischen dem ersten und dem gemeinsamen Fremdatombereich liegt, mit einem dazwischenliegenden Isolationsfilm. Eine zweite Gateelektrode des zweiten Transistors ist auf dem Kanalbereich gebildet, der zwischen dem zweiten und dem gemeinsamen Fremdatombereich liegt, mit einem dazwischenliegenden Isolationsfilm. Ein Seitenwandisolationsfilm ist auf einer Seitenwand der ersten Gateelektrode gebildet. Ein erster Steuer-Fremdatombereich zum Steuern einer Höhe der Schwellspannung des zweiten Transistors ist in der Hauptoberfläche des Halbleitersubstrates gebildet. Der erste Steuer-Fremdatombereich überlappt mit dem gemeinsamen Fremdatombereich mit Ausnahme zumindest eines Abschnittes der Niedrigkonzentrations-Fremdatomschicht der gemeinsamen Fremdatomschicht, die der ersten Gateelektrode benachbart angeordnet ist, und sich zum Kanalbereich unter die zweite Gateelektrode erstreckt. Ein zweiter Steuer-Fremdatombereich zum Steuern der Höhe einer Schwellspannung des zweiten Transistors ist in der Hauptoberfläche des Halbleitersubstrates gebildet. Der zweite Steuer-Fremdatombereich überlappt mit dem zweiten Fremdatombereich und weist einen Abschnitt auf, der am Kanalbereich unter der zweiten Gateelektrode vorgesehen ist und den ersten Steuer-Fremdatombereich überlappt. Ein Isolationszwischenfilm bedeckt den Seitenwandisolationsfilm, eine obere Oberfläche der ersten Gateelektrode sowie Seiten- und obere Oberflächen der zweiten Gateelektrode.

Die Masken-ROM-Halbleitervorrichtung gemäß dieser Ausführungsform umfaßt den ersten und den zweiten Transistor jeweils mit einem LDD-Aufbau. Daher kann eine Peripherieschaltung, die Transistoren mit hoher Widerstandsfähigkeit gegen ein elektrisches Feld benötigt, gleichzeitig mit dem ersten und dem zweiten Transistor gebildet werden, und daher kann die Anzahl von Schritten im Herstellungsprozeß verringert werden. Der Seitenwandisolationsfilm ist auf der Seitenwand der ersten Gateelektrode gebildet. Durch das Vorsehen des Seitenwandisolationsfilmes kann die erste Steuer-Fremdatomschicht so gebildet werden, daß die Steuer-Fremdatomschicht mit dem gemeinsamen Fremdatombereich überlappt, mit Ausnahme mindestens eines Abschnittes der Niedrigkonzentrations-Fremdatomschicht des gemeinsamen Fremdatombereiches, der der ersten Gateelektrode benachbart liegt. Hierdurch wird es möglich, effektiv den nachteiligen Einfluß auf den benachbarten Transistor zu verhindern, der durch das Schreiben von ROM-Daten bewirkt wird.

Jede der Masken-ROM-Halbleitervorrichtungen gemäß der nachfolgenden Ausführungsformen umfaßt einen ersten Transistor mit einer relativ niedrigen Schwellspannung sowie einen zweiten Transistor mit einer relativ hohen Schwellspannung, der mit dem ersten Transistor in Reihe verbunden ist.

Gemäß einer weiteren Ausführungsform umfaßt eine Masken-ROM-Halbleitervorrichtung ein Halbleitersubstrat eines ersten Leitungstyps mit einer Hauptoberfläche, in der ein erster Fremdatombereich, ein gemeinsamer Fremdatombereich und ein zweiter Fremdatombereich eines zweiten Leitungstyps gebildet sind, mit Abständen voneinander, zum Bilden von Kanalbereichen des ersten und des zweiten Transistors. Eine erste Gateelektrode ist auf einem ersten Kanalbereich gebildet, der zwischen dem ersten und dem gemeinsamen Fremdatombereich

liegt, mit einem dazwischenliegenden Isolationsfilm. Eine zweite Gateelektrode ist auf einem zweiten Kanalbereich gebildet, der zwischen dem zweiten und dem gemeinsamen Fremdatombereich liegt, mit einem dazwischenliegenden Isolationsfilm. Ein erster Kanal-Fremdatombereich des zweiten Leitungstyps, der in Kontakt mit dem ersten Fremdatombereich und dem gemeinsamen Fremdatombereich steht, ist im ersten Kanalbereich gebildet. Ein erster Kanalschneide-Fremdatombereich des ersten Leitungstyps, der dem zweiten Fremdatombereich benachbart liegt und zum Steuern der Höhe einer Schwellspannung des zweiten Transistors benutzt wird, ist im zweiten Kanalbereich gebildet. Ein zweiter Kanal-Schneide-Fremdatombereich des ersten Leitungstyps, der dem gemeinsamen Fremdatombereich benachbart liegt, ist im zweiten Kanalbereich gebildet. Ein zweiter Kanal-Fremdatombereich des zweiten Leitungstyps, der zwischen dem ersten und dem zweiten Kanal-Schneide-Fremdatombereich liegt und zum Steuern der Höhe einer Schwellspannung des zweiten Transistors benötigt wird, ist im zweiten Kanalbereich gebildet.

Bei der Masken-ROM-Halbleitervorrichtung gemäß dieser Ausführungsform sind der erste und der zweite Kanal-Schneide-Fremdatombereich an gegenüberliegenden Enden des zweiten Kanalbereiches des zweiten Transistors gebildet. Der zweite Kanal-Fremdatombereich des zweiten Leitungstyps ist im zweiten Kanalbereich gebildet, mit Ausnahme des ersten und des zweiten Kanal-Schneide-Fremdatombereiches. Der erste Kanal-Fremdatombereich des zweiten Leitungstyps ist im Kanalbereich des ersten Transistors gebildet. Dadurch befindet sich der erste Transistor in einem Verarmungszustand. Währenddessen sind der erste und der zweite Kanal-Schneide-Fremdatombereich des ersten Leitungstyps an gegenüberliegenden Enden des zweiten Kanalbereiches des zweiten Transistors gebildet. Daher kann die Schwellspannung des zweiten Transistors über die Schwellspannung des ersten Transistors hinweg erhöht werden. Dies gestattet das Schreiben von ROM-Daten.

Gemäß einer weiteren Ausführungsform der Masken-ROM-Halbleitervorrichtung ist ein Halbleitersubstrat eines ersten Leitungstyps mit einer Hauptoberfläche vorgesehen, in welcher ein erster Niedrigkonzentrations-Fremdatombereich, ein gemeinsamer Niedrigkonzentrations-Fremdatombereich und zweiter Niedrigkonzentrations-Fremdatombereich gebildet sind, zum Definieren von Kanalbereichen eines ersten und eines zweiten Transistors. Eine erste Gateelektrode ist auf dem Kanalbereich zwischen dem ersten Niedrigkonzentrations-Fremdatombereich und dem gemeinsamen Niedrigkonzentrations-Fremdatombereich mit einem dazwischenliegenden Isolationsfilm gebildet. Eine zweite Gateelektrode ist auf dem Kanalbereich zwischen dem zweiten Niedrigkonzentrations-Fremdatombereich und dem gemeinsamen Niedrigkonzentrations-Fremdatombereich mit einem dazwischenliegenden Isolationsfilm gebildet. Ein erster Hochkonzentrations-Fremdatombereich ist in der Hauptoberfläche des Halbleitersubstrates gebildet. Der erste Hochkonzentrations-Fremdatombereich weist ein von der ersten Gateelektrode entferntes Ende auf, mit einem dazwischenliegenden Ende des ersten Niedrigkonzentrations-Fremdatombereiches, und erstreckt sich von der ersten Gateelektrode weg. Ein gemeinsamer Hochkonzentrations-Fremdatombereich ist in der Hauptoberfläche des Halbleitersubstrates gebildet. Der gemeinsame Hochkonzentrations-Fremdatombereich weist ein Ende auf, das von der ersten und der zweiten Gateelektrode entfernt ist, mit einem dazwischenliegenden Ende des gemeinsamen Niedrigkonzentrations-Fremdatombereiches, und erstreckt sich von der ersten und der zweiten Gateelektrode weg. Ein zweiter Hochkonzentrations-Fremdatombereich ist in der Hauptoberfläche des Halbleitersubstrates gebildet. Der zweite Hochkonzentrations-Fremdatombereich weist ein Ende entfernt von der zweiten Gateelektrode auf, wobei ein Ende des zweiten Niedrigkonzentrations-Fremdatombereiches dazwischenliegt, und erstreckt sich von der zweiten Gateelektrode weg. Ein erster Steuer-Fremdatombereich des ersten Leitungstyps zum Steuern einer Höhe der Schwellspannung des zweiten Transistors ist in der Hauptoberfläche des Halbleitersubstrates gebildet. Der erste Steuer-Fremdatombereich überlappt mit dem gemeinsamen Niedrigkonzentrations-Fremdatombereich und dem gemeinsamen Hochkonzentrations-Fremdatombereich, mit Ausnahme des Endes des gemeinsamen Niedrigkonzentrations-Fremdatombereich, der der ersten Gateelektrode benachbart ist, und erstreckt sich zum Kanalbereich unter die zweite Gateelektrode. Ein zweiter Steuer-Fremdatombereich des ersten Leitungstyps zum Steuern der Höhe der Schwellspannung des zweiten Transistors ist gebildet. Der zweite Steuer-Fremdatombereich überlappt den zweiten Niedrigkonzentrations-Fremdatombereich und den zweiten Hochkonzentrations-Fremdatombereich und weist ein Ende auf, das im Kanalbereich unter der zweiten Gateelektrode angeordnet ist. Ein Seitenwand-Isolationsfilm ist auf einer Seitenwand der ersten Gateelektrode gebildet. Ein Isolationszwischenschichtfilm ist zum Bedecken des Seitenwandisolationfilmes, einer oberen Oberfläche der ersten Gateelektrode und Seiten- und oberen Oberflächen der zweiten Gateelektrode gebildet.

Bei der Masken-ROM-Halbleitervorrichtung gemäß dieser Ausführungsform besitzen der erste und der zweite Transistor jeweils eine LDD-Struktur. Der erste Transistor umfaßt den ersten Niedrigkonzentrations-Fremdatombereich, den gemeinsamen Niedrigkonzentrations-Fremdatombereich, den ersten Hochkonzentrations-Fremdatombereich und den gemeinsamen Hochkonzentrations-Fremdatombereich zum Definieren von Kanalbereichen. Der zweite Transistor umfaßt den zweiten Niedrigkonzentrations-Fremdatombereich, den gemeinsamen Niedrigkonzentrations-Fremdatombereich, den zweiten Hochkonzentrations-Fremdatombereich und den gemeinsamen Hochkonzentrations-Fremdatombereich zum Definieren von Kanalbereichen. Es ist der erste Steuer-Fremdatombereich des ersten Leitungstyps gebildet, der mit dem gemeinsamen Niedrigkonzentrations-Fremdatombereich und dem gemeinsamen Hochkonzentrations-Fremdatombereich überlappt, mit Ausnahme des Endes des gemeinsamen Niedrigkonzentrations-Fremdatombereiches, das der ersten Gateelektrode benachbart ist, und er erstreckt sich zum Kanalbereich unter die zweite Gateelektrode. Es ist ebenfalls der zweite Steuer-Fremdatombereich des ersten Leitungstyps gebildet, der mit dem zweiten Niedrigkonzentrations-Fremdatombereich und dem zweiten Hochkonzentrations-Fremdatombereich überlappt, und dessen Ende im Kanalbereich unter der zweiten Gateelektrode angeordnet ist. Da der erste und der zweite Fremdatombereich sich zum Kanalbereich des zweiten Transistors erstrecken, kann die Schwellspannung des zweiten Transistors höher als die Schwellspannung des ersten Transistors gesetzt werden. Dadurch können ROM-Daten in den

zweiten Transistor eingeschrieben werden. Auch erstreckt sich der erste und der zweite Fremdatombereich nicht zum Kanalbereich des Transistors benachbart des Transistors, in den die ROM-Daten eingeschrieben werden. Der Grund hierfür liegt darin, daß der Seitenwand-Isolationsfilm auf der Seitenwand der Gateelektrode des Transistors gebildet ist, in den die ROM-Daten nicht eingeschrieben sind, d. h. die Seitenwand der ersten Gateelektrode in diesem Fall, und eine Ionenimplantation zum Schreiben der ROM-Daten wird ausgeführt, unter Benutzung der Seitenwand-Isolationsfilme als Maske. Dadurch ist es möglich, effektiv eine nachteilige Beeinflussung durch das Schreiben der ROM-Daten auf die benachbarten Transistoren des Transistors zu verhindern, in den die ROM-Daten eingeschrieben werden.

Bei einem Herstellungsverfahren einer Masken-ROM-Halbleitervorrichtung gemäß einer Ausführungsform werden eine erste und eine zweite Gateelektrode eines ersten und eines zweiten Transistors auf einer Hauptoberfläche eines Halbleitersubstrates eines ersten Leitungstyps gebildet, mit einem dazwischenliegenden Gateisolationsfilm. Ein erster Fremdatombereich, ein gemeinsamer Fremdatombereich und ein zweiter Fremdatombereich eines zweiten Leitungstyps, die Source- und Drainbereiche der ersten und der zweiten Gateelektroden bilden, werden in der Hauptoberfläche des Halbleitersubstrates gebildet. Ein Seitenwand-Isolationsfilm wird auf einer Seitenoberfläche der ersten Gateelektrode gebildet. Unter Benutzung der ersten Gateelektrode, der zweiten Gateelektrode und des Seitenwand-Isolationsfilmes als Maske werden Fremdatome zum Steuern einer Schwellspannung des zweiten Transistors in den zweiten Fremdatombereich und den gemeinsamen Fremdatombereich ionenimplantiert.

Bei dem Herstellungsverfahren des Masken-ROM gemäß dieser Ausführungsform wird die Seitenwand auf der Seitenoberfläche der ersten Gateelektrode gebildet. Die Fremdatome zum Steuern der Schwellspannung des zweiten Transistors werden in den zweiten Fremdatombereich und den gemeinsamen Fremdatombereich ionenimplantiert, unter Benutzung der ersten Gateelektrode, der zweiten Gateelektrode und des Seitenwand-Isolationsfilmes als Maske. Bei dieser Operation wird das Einführen der Fremdatome mit relativ niedriger Energie durchgeführt, unter Benutzung des Seitenwand-Isolationsfilmes, der auf der Seitenwand der ersten Gateelektrode gebildet ist, als Maske. Daher erreicht ein Ende des Fremdatombereiches, der durch das Eindringen von Fremdatomen gebildet wird, nicht den Kanalbereich unter der ersten Gateelektrode. Währenddessen wird der Seitenwand-Isolationsfilm nicht auf der Seitenoberfläche der zweiten Gateelektrode gebildet. Daher erstreckt sich das Ende des Fremdatombereiches zu dem Kanalbereich unten der zweiten Gateelektrode. Auch wird bei dieser Operation das Fremdatom durch den zweiten Fremdatombereich und den gemeinsamen Fremdatombereich eingebracht. Daher kann die Energie für die Ionenimplantation relativ niedrig sein. Hierdurch wird eine seitliche Ausbreitung des Fremdatombereiches nach der Ionenimplantation verhindert, und dadurch kann eine nachteilige Beeinflussung des benachbarten Transistors effektiv verhindert werden.

Bei einem Herstellungsverfahren einer Masken-ROM-Halbleitervorrichtung gemäß einer weiteren Ausführungsform werden eine erste und eine zweite Gateelektrode eines ersten und eines zweiten Transistors in einer Hauptoberfläche eines Halbleitersubstrates mit einem dazwischenliegenden Gateisolationsfilm gebildet. Ein erster Fremdatombereich, ein gemeinsamer Fremdatombereich und ein zweiter Fremdatombereich eines zweiten Leitungstyps, die Source- und Drainbereiche des ersten und des zweiten Transistors bilden, werden in der Hauptoberfläche des Halbleitersubstrates gebildet. Ein Resistmuster, das die erste Gateelektrode bedeckt und die zweite Gateelektrode freilegt, wird gebildet. Unter Benutzung des Resistmusters und der zweiten Gateelektrode als Maske werden Fremdatome zum Steuern der Höhe einer Schwellspannung des zweiten Transistors in den zweiten Fremdatombereich und den gemeinsamen Fremdatombereich ionenimplantiert. Nach der Ionenimplantation wird eine Diffusionsbehandlung durchgeführt, zum Diffundieren der eingeführten Fremdatome, so daß die Enden eines Paares von Steuer-Fremdatombereichen, die durch die Implantation der Fremdatome zum Steuern der Höhe der Schwellspannung des zweiten Transistors gebildet wurden, miteinander an einer Stelle unter der zweiten Gateelektrode überlappen.

Bei dem Herstellungsverfahren der Masken-ROM-Halbleitervorrichtung gemäß dieser Ausführungsform wird das Resistmuster, das die erste Gateelektrode bedeckt und die zweite Gateelektrode freiläßt, gebildet, und die Fremdatome zum Steuern der Höhe der Schwellspannung des zweiten Transistors werden in den zweiten Fremdatombereich und den gemeinsamen Fremdatombereich ionenimplantiert, unter Benutzung des Resistmusters und der zweiten Gateelektrode als Maske. Dann wird eine Diffusionsbehandlung durchgeführt, so daß die Enden eines Paares der Steuer-Fremdatombereiche, die durch die Ionenimplantation gebildet werden, miteinander an der Stelle unter der zweiten Gateelektrode überlappen. Wenn daher die eingebrachten Fremdatome vom zweiten Leitungstyp sind, kann die Schwellspannung des zweiten Transistors so angepaßt werden, daß sie niedriger als die Schwellspannung des ersten Transistors ist. Wenn die eingebrachten Fremdatome vom ersten Leitungstyp sind, kann die Schwellspannung des zweiten Transistors so angepaßt werden, daß sie höher als die Schwellspannung des ersten Transistors ist. Daten werden in den Masken-ROM auf diese Weise eingeschrieben. Da die Fremdatome in den zweiten Fremdatombereich und den gemeinsamen Fremdatombereich ionenimplantiert werden, unter Benutzung des Resistmusters und der zweiten Gateelektrode als Maske, kann die Implantationsenergie niedrig sein. Hierdurch wird effektiv eine nachteilige Beeinflussung des benachbarten Transistors verhindert, der durch den durch die Implantation des Fremdatomes gebildeten Fremdatombereich bewirkt werden kann, da ein Ende des Fremdatombereiches sich nicht zum Kanalbereich des benachbarten Transistors erstreckt.

Bei einem Herstellungsverfahren einer Halbleitervorrichtung gemäß einer weiteren Ausführungsform ist eine Fremdatomschicht eines zweiten Leitungstyps in Bereichen gebildet, in denen ein erster und ein zweiter Transistor zu bilden sind, in einer Hauptoberfläche eines Halbleitersubstrates eines ersten Leitungstyps. Ein erster Fremdatombereich, ein gemeinsamer Fremdatombereich und ein zweiter Fremdatombereich, die Kanalbereiche des ersten und des zweiten Transistors definieren und die Source- und Drainbereiche bilden, werden in der Hauptoberfläche des Halbleitersubstrates des ersten Leitungstyps gebildet, mit dazwischenliegenden Gatei-

solutionsfilmen. Ein Seitenwand-Isolationsfilm wird auf einer Seitenoberfläche der ersten Gateelektrode gebildet. Unter Benutzung der ersten Gateelektrode, der zweiten Gateelektrode und des zweiten Seitenwand-Isolationsfilmes als Maske werden Fremdatome des ersten Leitungstyps zum Steuern der Höhe einer Schwellspannung des zweiten Transistors in den gemeinsamen Fremdatombereich und den zweiten Fremdatombereich ionenimplantiert.

Bei dem Herstellungsverfahren der Halbleitervorrichtung gemäß dieser Ausführungsform wurde die Fremdatomschicht des zweiten Leitungstyps vorab in den Kanalbereichen des ersten und des zweiten Transistors gebildet. Der erste Fremdatombereich, der gemeinsame Fremdatombereich und der zweite Fremdatombereich des zweiten Leitungstyps, die die Source- und Drainbereiche des ersten und des zweiten Transistors bilden, werden gebildet. Der Seitenwandisolationsfilm wird auf der Seitenoberfläche der ersten Gateelektrode des ersten Transistors gebildet, und die Fremdatome des ersten Leitungstyps werden in den zweiten Fremdatombereichen und den gemeinsamen Fremdatombereichen ionenimplantiert, unter Benutzung der ersten Gateelektrode, der zweiten Gateelektrode und des Seitenwandisolationsfilmes als Maske. Da der Seitenwandisolationsfilm nicht auf der Seitenwand der zweiten Gateelektrode gebildet ist, kann der Fremdatombereich des ersten Leitungstyps mindestens an den gegenüberliegenden Enden des Kanalbereiches des zweiten Transistors gebildet werden. Daher können der erste und der zweite Kanal-Schneide-Fremdatombereich gebildet werden. Dadurch ist es möglich, die Schwellspannung des zweiten Transistors höher als die Schwellspannung des ersten Transistors zu setzen. Dies bewirkt das Schreiben von Daten in den Masken-ROM. Da die Fremdatome des ersten Leitungstyps in den zweiten Fremdatombereich und den gemeinsamen Fremdatombereich implantiert werden, kann die Ionenimplantation mit relativ niedriger Energie durchgeführt werden. Dies unterdrückt eine Ausbreitung des Fremdatombereiches, der durch die implantierten Fremdatome bewirkt wird, und eine nachteilige Beeinflussung des benachbarten Transistors, was durch das Schreiben der ROM-Daten bewirkt werden könnte, kann effektiv verhindert werden.

Bei einem Herstellungsverfahren einer Masken-ROM-Halbleitervorrichtung gemäß einer weiteren Ausführungsform wird eine Fremdatomschicht eines zweiten Leitungstyps in einem ersten und einem zweiten einen Transistor bildenden Bereich in einer Hauptoberfläche eines Halbleitersubstrates eines ersten Leitungstyps gebildet. Die erste und die zweite Gateelektrode des ersten bzw. zweiten Transistors werden in der Hauptoberfläche des Halbleitersubstrates des ersten Leitungstyps mit einem dazwischenliegenden Gateisolationsfilm gebildet. Ein erster Fremdatombereich, ein gemeinsamer Fremdatombereich und ein zweiter Fremdatombereich des zweiten Leitungstyps, die den Source- und Drainbereichen des ersten und zweiten Transistors bilden, werden in der Hauptoberfläche des Halbleitersubstrates gebildet. Ein Resistmuster, das die erste Gateelektrode bedeckt und die zweite Gateelektrode freilegt, wird gebildet. Unter Benutzung dieses Resistmusters und der zweiten Gateelektrode als Maske werden Fremdatome des ersten Leitungstyps zum Steuern der Höhe einer Schwellspannung des zweiten Transistors in den zweiten Fremdatombereich und den gemeinsamen Fremdatombereich ionenimplantiert.

Bei dem Herstellungsverfahren der Masken-ROM-Halbleitervorrichtung gemäß dieser Ausführungsform wird die Fremdatomschicht des zweiten Leitungstyps in den Kanalbereichen des ersten und des zweiten Transistors gebildet, und der erste Fremdatombereich, der gemeinsame Fremdatombereich und der zweite Fremdatombereich des zweiten Leitungstyps, die den Source- und Drainbereich des ersten und des zweiten Transistors bilden, werden gebildet. Das Resistmuster, das die erste Gateelektrode bedeckt und die zweite Gateelektrode freilegt, wird gebildet. Unter Benutzung dieses Resistmusters und der zweiten Gateelektrode als Maske werden Fremdatome des ersten Leitungstyps in den zweiten Fremdatombereich und den gemeinsamen Fremdatombereich ionenimplantiert. Dies gestattet die Bildung des Fremdatombereiches des ersten Leitungstyps zumindestens an gegenüberliegenden Enden des Kanalbereiches des zweiten Transistors. Dadurch ist es möglich, die Schwellspannung des zweiten Transistors höher als die Schwellspannung des ersten Transistors zu setzen. Die Daten für den Masken-ROM können auf diese Weise in den zweiten Transistor eingeschrieben werden. Da die Fremdatome des ersten Leitungstyps über den zweiten Fremdatombereich und den gemeinsamen Fremdatombereich ionenimplantiert werden, können die Ionen mit relativ niedriger Energie implantiert werden. Daher kann eine nachteilige Beeinflussung des benachbarten Transistors, das durch die Ionenimplantation der Fremdatome bewirkt werden könnte, effektiv verhindert werden.

Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der Beschreibung von Ausführungsbeispielen anhand der Figuren.

Von den Figuren zeigt

Fig. 1 eine Schnittansicht eines Masken-ROM gemäß einer Ausführungsform;

Fig. 2 eine Schnittansicht eines Masken-ROM einer Ausführungsform mit einem Schnitt senkrecht zu dem aus Fig. 1;

Fig. 3(I) eine teilweise vergrößerte Schnittansicht eines Transistors, der ein Speicherelement in einem Masken-ROM gemäß einer Ausführungsform bildet, und

Fig. 3(II) die Konzentrationsverteilung in einem Fremdatombereich eines in Fig. 3(I) gezeigten Transistors;

Fig. 4(I) eine teilweise vergrößerte Schnittansicht eines Transistors auf andere Weise, der ein Speicherelement eines Masken-ROM gemäß einer Ausführungsform bildet, und

Fig. 4(II) eine Konzentrationsverteilung in einem Fremdatombereich des in Fig. 4(I) gezeigten Transistors;

Fig. 5—16 Schnittansichten mit einem ersten bis einem zwölften Schritt eines Herstellungsverfahrens eines Masken-ROM gemäß einer Ausführungsform;

Fig. 17—28 Schnittansichten mit einem ersten bis einem zwölften Schritt eines Herstellungsverfahrens eines Masken-ROM gemäß einer Ausführungsform, die der in Fig. 2 gezeigten Schnittansicht entspricht;

Fig. 29 eine Schnittansicht mit einem weiteren Herstellungsverfahren eines Masken-ROM gemäß einer Ausführungsform;

- Fig. 30 eine Schnittansicht eines Masken-ROM gemäß einer weiteren Ausführungsform;
- Fig. 31—38 Schnittansichten mit einem ersten bis einem achten Schritt eines Herstellungsprozesses eines Masken-ROM gemäß einer weiteren Ausführungsform;
- Fig. 39 eine Schnittansicht mit einem Masken-ROM mit einer weiteren Ausführungsform;
- Fig. 40(I) eine teilweise vergrößerte Schnittansicht eines Transistors mit eingeschriebenen ROM-Daten aus Fig. 39 und
- Fig. 40(II) eine Konzentrationsverteilung in einem Fremdatombereich eines in Fig. 40(I) gezeigten Transistors;
- Fig. 41—47 Schnittansichten mit einem ersten bis einem siebten Schritt eines Herstellungsprozesses eines Masken-ROM gemäß einer weiteren Ausführungsform;
- Fig. 48 eine Schnittansicht mit einem weiteren Herstellungsverfahren eines in Fig. 39 gezeigten Masken-ROM, und insbesondere zum Verdeutlichen eines Zustandes, bei dem ROM-Daten bei einem schräg rotierenden Ionenimplantationsverfahren geschrieben werden;
- Fig. 49 eine Schnittansicht mit einem weiteren Herstellungsverfahren eines in Fig. 39 gezeigten Masken-ROM, und insbesondere zum Verdeutlichen eines Zustandes, bei welchem ROM-Daten unter Benutzung eines Resists als Maske geschrieben werden;
- Fig. 50 eine Schnittansicht mit einem Masken-ROM gemäß einer weiteren Ausführungsform;
- Fig. 51—58 Schnittansichten mit einem ersten bis einem achten Schritt eines Herstellungsverfahrens eines Masken-ROM gemäß einer weiteren Ausführungsform;
- Fig. 59 eine Schnittansicht mit einem Masken-ROM gemäß einer weiteren Ausführungsform;
- Fig. 60—65 Schnittansichten mit einem ersten bis einem sechsten Schritt eines Herstellungsprozesses eines Masken-ROM gemäß einer weiteren Ausführungsform;
- Fig. 66 eine Schnittansicht mit einem weiteren Herstellungsverfahren eines Masken-ROM aus Fig. 59, und insbesondere zum Verdeutlichen eines Zustandes, bei welchem ROM-Daten unter Benutzung eines Resists als Maske geschrieben werden;
- Fig. 67 eine Schnittansicht mit einem Masken-ROM gemäß einer weiteren Ausführungsform;
- Fig. 68—75 Schnittansichten mit einem ersten bis einem achten Schritt eines Herstellungsverfahrens eines Masken-ROM gemäß einer weiteren Ausführungsform;
- Fig. 76 ein schematisches Äquivalenzschaltbild mit einem NAND-Typ Masken-ROM;
- Fig. 77 ein schematisches Äquivalenzschaltbild eines NOR-Masken-ROM;
- Fig. 78 eine Draufsicht mit einem Beispiel eines herkömmlichen NAND-Typ Masken-ROM;
- Fig. 79 ein Äquivalenzschaltbild eines NAND-Typ Masken-ROM aus Fig. 78;
- Fig. 80 eine Schnittansicht entlang der Linie A-A aus Fig. 78;
- Fig. 81 eine Schnittansicht entlang der Linie B-B in Fig. 78;
- Fig. 82—92 Schnittansichten mit einem ersten bis elften Schritt eines Herstellungsverfahrens eines NAND-Typ Masken-ROM herkömmlicher Art, der der Schnittansicht aus Fig. 80 entspricht;
- Fig. 93—103 Schnittansichten mit einem ersten bis einem elften Schritt eines Herstellungsprozesses eines NAND-Typ Masken-ROM herkömmlicher Art, der der Schnittansicht aus Fig. 81 entspricht;
- Fig. 104 eine Draufsicht mit einem herkömmlichen NOR-Typ Masken-ROM;
- Fig. 105 ein Äquivalenzschaltbild eines NOR-Typ Masken-ROM aus Fig. 104;
- Fig. 106—114 Schnittansichten mit einem ersten bis einem neunten Schritt eines Herstellungsverfahrens eines herkömmlichen NOR-Typ Masken-ROM;
- Fig. 115 eine Schnittansicht mit einem Zustand, bei welchem ROM-Daten durch Ionenimplantation mit hoher Energie eingeschrieben werden, die das Hindurchtreten von Ionen durch eine Gateelektrode bei einem herkömmlichen NAND-Typ Masken-ROM gestattet; und
- Fig. 116 eine Schnittansicht mit einem Zustand, bei welchem ROM-Daten durch Ionenimplantation mit hoher Energie geschrieben werden, die das Hindurchtreten von Ionen durch eine Gateelektrode bei einem herkömmlichen NOR-Typ Masken-ROM gestattet.
- Bevorzugte Ausführungsformen werden nachfolgend beschrieben. Die Ausführungsformen der Erfindung werden durch dieselbe Draufsicht wie im Stand der Technik dargestellt, und daher wird die nachfolgende Beschreibung unter Bezug auf die Draufsicht vorgenommen, die für die Diskussion des Standes der Technik benutzt worden ist. Spezielle Verfahren zum Herstellen von Masken-ROMs sowie Materialien und weitere verschiedene Teile des Masken-ROM sind dieselben wie beim herkömmlichen Masken-ROM, wenn nichts anderes ausgeführt ist.
- Eine Ausführungsform eines NAND-Masken ROM wird nachfolgend unter Bezug auf die Fig. 1—28 beschrieben. Fig. 1 zeigt eine Schnittansicht des Masken-ROM der vorliegenden Ausführungsform und entspricht einer Schnittansicht entlang der Linie A-A aus Fig. 78. Wie in Fig. 1 gezeigt, ist ein Niedrigkonzentrations-Fremdatombereich 8 und ein Hochkonzentrations-Fremdatombereich 11 in einer Hauptoberfläche eines p-Halbleitersubstrates 1 gebildet, mit vorbestimmten Abständen dazwischen. Diese Fremdatombereiche definieren Kanalbereiche, auf welchen Gateelektroden 7a, 7b, 7c mit dazwischenliegenden Gateisolationsschichten 6 gebildet sind. Bei dieser Ausführungsform ist ein Paar von n-Typ Durchgreif-Implantationsschichten 60 ("Punch through" Implantationsschichten) in einem Kanalbereich unter jedem der Gateelektroden 7a und 7b gebildet. Jede der gepaarten Durchgreif-Implantationsschichten 60 weist ein Ende auf, welches mit einem Ende der anderen Durchgreif-Implantationsschicht 60 am Kanalbereich unter der Gateelektrode 7a oder 7b überlappt. Dadurch kann eine Schwellspannung (V_{th}) von Transistoren mit den Gateelektroden 7a und 7b, die nachfolgend als MISFETs (Metall-Isolations-Silizium-Feldeffekttransistoren) bezeichnet werden, relativ niedrig gesetzt werden (d. h. im wesentlichen auf Erdpotential in diesem Fall). Durch dieses Setzen wird das Schreiben von Daten in einem Masken-ROM bewirkt.

Das andere Ende jeder Durchgreif-Implantationsschicht 60 ist so angeordnet, daß zusammen mit einem Zusammenhang zwischen dem MISFET mit eingeschriebenen ROM-Daten (z. B. dem MISFET mit der Gateelektrode 7a) und dem MISFET ohne eingeschriebene ROM-Daten (z. B. dem MISFET mit der Gateelektrode 7c) das andere Ende zwischen der Gateelektrode 7a und einem Ende des Niedrigkonzentrations-Fremdatombereiches 8 des MISFET ohne eingeschriebene Daten liegt. Dadurch ist die Durchgreif-Implantationsschicht 60 nicht in dem Kanalbereich des MISFET ohne eingeschriebene ROM-Daten gebildet. Dadurch beeinflußt das Schreiben von ROM-Daten nicht nachteilig den benachbarten MISFET.

Abstandselemente (Spacer) 10 sind auf den Seitenwänden der Gateelektroden der MISFETs ohne eingeschriebene ROM-Daten gebildet. Durch das Vorsehen dieser Abstandselemente 10 erstrecken sich die Enden der Durchgreif-Implantationsschichten 60 nicht zu den Kanalbereichen der MISFETs ohne eingeschriebene ROM-Daten. Wie in Fig. 1 gezeigt, sind n-Typ Fremdatombereiche 60b, die während der Bildung der Durchgreif-Implantationsschicht 60 gebildet werden, an Source/Drainbereichen der MISFETs ohne eingeschriebene ROM-Daten angeordnet. Die n-Typ Fremdatomschichten 60b unterdrücken einen durch den LDD-Aufbau bewirkten Feldentspannungseffekt und arbeiten daher vorteilhaft für ein Hochgeschwindigkeitslesen des Masken-ROM. Die LDD-Struktur wird aus Gründen benötigt, die nachfolgend erläutert werden.

Ein Zwischenschichtisolationsschicht 12 ist auf dem p-Typ Halbleitersubstrat 1, den Gateelektroden 7 und dem Abstandselement 10 gebildet. Kontaktlöcher 13 sind an vorbestimmten Bereichen des Zwischenschichtisolationsschichtes 12 gebildet. Verbindungsschichten 14 sind auf dem Zwischenschichtisolationsschicht 12 gebildet und sind mit dem Niedrigkonzentrations-Fremdatombereich 8 und dem Hochkonzentrations-Fremdatombereich 11 verbunden, die in der Hauptoberfläche des p-Typ Halbleitersubstrates 1 gebildet sind, über die Kontaktlöcher 13. Ein Schutzfilm 15 ist über den Verbindungsschichten 14 gebildet.

Fig. 2 ist eine Schnittansicht des Masken-ROM der Ausführungsform und zeigt einen Schnitt senkrecht zu dem Schnitt aus Fig. 1. Die in Fig. 2 gezeigte Schnittansicht entspricht dem Schnitt entlang der Linie B-B aus Fig. 78. Wie in Fig. 2 gezeigt, sind Elementisolationsoxidfilme 3 in der Hauptoberfläche des p-Typ Halbleitersubstrates 1 mit vorbestimmten Abständen zueinander gebildet. Gateisolationsschichten 6 sind auch in der Hauptoberfläche des p-Typ Halbleitersubstrates 1 gebildet, und sind zwischen den Elementisolationsoxidfilmen 3 angeordnet. Die Gateelektroden 7 sind auf den Gateisolationsschichten 6 und den Elementisolationsoxidfilmen 3 gebildet. Der Zwischenschicht-Isolationsschicht 12 ist auf den Gateelektroden 7 gebildet. Die bemusterten Verbindungsschichten 14 sind auf dem Isolationsschicht 12 gebildet. Der Schutzfilm 15 ist über den Verbindungsschichten 14 gebildet.

In der Hauptoberfläche des p-Halbleitersubstrates 1 bestimmen die Elementisolationsoxidfilme 3 Kanalbereiche. Die Durchgreif-Implantationsschichten 60 sind in den vorbestimmten Kanalbereichen aus diesen Kanalbereichen gebildet. Die Durchgreif-Implantationsschichten 60, die so gebildet sind, weisen Enden auf, die sich nicht wesentlich zu Stellen unter den Elementisolationsoxidfilmen 3 erstrecken. Das Ausmaß dieser Ausdehnung hängt im wesentlichen von der Ionenimplantationsenergie für Fremdatome während der Bildung der Durchgreif-Implantationsschicht 60 ab und wird im Detail im Zusammenhang mit dem Herstellungsverfahren besprochen. Durch den obigen Aufbau wird die Erzeugung eines Leckstromes in der Nähe der Feldisolationsschichten deutlich unterdrückt.

Es wird eine Implantation von n-Typ Fremdatomen wie Phosphor (P) oder Arsen (As) mit hoher Konzentration durchgeführt. Bei dieser Ausführungsform liegt die Konzentration der Durchgreif-Implantationsschichten 60 in einem Bereich zwischen 10^{18} und 10^{21} cm^{-3} . Die Durchgreif-Implantationsschichten 60 jedes Paares weisen einander überlappende Enden auf, an dem Kanalbereich des MISFET mit eingeschriebenen ROM-Daten, wie oben beschrieben. Dadurch ist der Sourcebereich, der der n-Typ Fremdatombereich des MISFET mit eingeschriebenen ROM-Daten elektrisch mit dem Drainbereich verbunden, der der n-Typ Fremdatombereich ist. Dadurch wird ein leitender Zustand zwischen dem Source und dem Drain aufrecht erhalten. Dadurch wird der MISFET in einen permanent leitenden Zustand durch die Durchgreif-Implantationsschicht 60 geändert. Dadurch wird durch Bilden oder Nicht-Bilden der Durchgreif-Implantationsschicht der MISFET leicht und selektiv so gebildet, daß er leitend ist oder nicht.

Unter Bezug auf die Fig. 3 und 4 wird die Konzentrationsverteilung im Kanal und in den Fremdatombereichen des MISFET mit eingeschriebenen ROM-Daten nachfolgend beschrieben. Fig. 3(I) ist eine vergrößerte Schnittansicht des MISFET mit ROM-Daten, und Fig. 3(II) zeigt eine Konzentrationsverteilung von Fremdatomen im Kanal und in Fremdatombereichen des in Fig. 3(I) gezeigten MISFET. Fig. 4(I) zeigt einen Fall, bei welchem die Fremdatome zum Schreiben von ROM-Daten vom p-Typ sind, und sie entspricht Fig. 3(I). Fig. 4(II) zeigt eine Konzentrationsverteilung von Fremdatomen im Kanal und in Fremdatombereichen des in Fig. 4(I) gezeigten MISFET. Der in Fig. 3 gezeigte MISFET ist vom Verarmungstyp (Absenkungstyp), und der in Fig. 4 gezeigte MISFET ist vom Anreicherungstyp.

Wie in Fig. 3(I) gezeigt, sind die Durchgreif-Implantationsschichten 60 in jedem Paar so gebildet, daß sie miteinander am Kanalbereich des MISFET überlappen. Da diese Durchgreif-Implantationsschichten 60 aus n-Typ Fremdatomen gebildet sind, wird der MISFET leitend. Wenn die n-Typ Fremdatome mit einer Rate von etwa $5 \times 10^{14} \text{ cm}^{-2}$ eingebracht werden, weisen die n-Typ Fremdatome im Kanalbereich die Konzentration von etwa 10^{18} cm^{-3} , wie in Fig. 3(II) gezeigt, auf. In Fig. 4(I) werden p-Typ Fremdatome zum Bilden eines Paares von p-Typ Fremdatombereichen 60a eingebracht, die einander im Kanalbereich des MISFET überlappen. Da die p-Typ Fremdatome in den Kanalbereich des MISFET eingebracht werden, kann die Schwellenspannung des MISFET erhöht werden. Mit anderen Worten, das Einführen der p-Typ Fremdatome gestattet es, daß der MISFET vom Anreicherungstyp ist. Wenn in diesem Fall die p-Typ Fremdatome mit einer Rate von etwa 10^{14} cm^{-2} eingebracht werden, weist der Kanalbereich des MISFET eine Konzentration von etwa 10^{17} cm^{-3} wie in Fig. 4(II) gezeigt. Der MISFET vom Anreicherungstyp wird im NOR-Typ Masken-ROM benutzt, der nachfolgend beschrieben wird, und er wird im Detail im Zusammenhang mit der späteren Diskussion des NOR-Typ

Masken-ROM beschrieben.

Ein Betrieb des NAND-Typ Masken-ROM mit dem oben beschriebenen Aufbau entspricht dem des oben beschriebenen herkömmlichen NAND-Typ Masken-ROM. Kurz gesagt, es wird davon ausgegangen, daß die Durchgreif-Implantationsschichten 60, die oben beschrieben sind, in den Source-/Drainbereichen der MISFETs gebildet sind, die in Fig. 78 schraffiert sind. Daher wird die Beschreibung des Betriebes nicht wiederholt. Entsprechend wird ein Betrieb anderer Ausführungsformen, die im Stand der Technik entsprechen, nicht diskutiert.

Nachfolgend wird ein Herstellungsverfahren des NAND-Typ Masken-ROM unter Bezug auf Fig. 5–28 beschrieben. Die Fig. 5–16 sind Schnittansichten, die einen ersten bis einen zwölften Schritt bei einem Herstellungsverfahren des NAND-Typ Masken-ROM der obigen Ausführungsform zeigen und entsprechen einem Teil des Schnittes aus Fig. 1. Die Fig. 17–28 zeigen Schnittansichten, die senkrecht zu den Schnitten in den Fig. 5–16 gezeigten Schritten sind, und entsprechen zu einem Teil des Ausschnittes aus Fig. 2. Die Fig. 5–16 und 17–28 zeigen aufeinanderfolgend dieselben Schritte in dem Herstellungsverfahren der Ausführungsform. Daher wird in der folgenden Beschreibung jedes Schrittes auf die einander entsprechenden zwei dieser Figuren Bezug genommen.

Zuerst wird das p-Typ Fremdatom wie Bor (B) in das p-Typ Halbleitersubstrat durch das Ionenimplantationsverfahren und das thermische Diffusionsverfahren eingebracht. Auch werden p-Typ Fremdatome wie Phosphor (P) in die periphere Schaltung zum Bilden von n-Wannen eingebracht. Wie in den Fig. 5 und 17 gezeigt, wird ein Spannungs-Entlastungsfilm 1d, wie ein thermischer Oxidfilm, auf dem p-Typ Halbleitersubstrat 1 gebildet. Ein oxidationsbeständiger Film 2, wie ein Nitridfilm, wird auf dem Spannungsentlastungsfilm 1d durch die CVD-Methode gebildet. Der oxidationsbeständige Film 2 wird durch bekannte Photolithographie- und Ätztechniken bemustert, zum Freiliegen von Elementisolationsbereichen. Dann wird der oxidationsbeständige Film 2 als Maske benutzt, und eine thermische Oxidation wird durchgeführt, wodurch die Elementisolationsfilme 3 auf den Elementisolationsbereichen gebildet werden.

Wie in den Fig. 6 und 18 gezeigt, wird der oxidationsbeständige Film 2 entfernt. Die p-Typ und n-Typ Fremdatome werden eingeführt, z. B. durch die Ionenimplantation, in Abschnitte, die Kanalbereichen von p-Typ und n-Typ Kanal MISFETs entsprechen, in den Speicherzellenfeldbereich und die periphere Schaltung, falls notwendig, so daß die Schwellspannung (V_{th}) jedes MISFET angepaßt ist. Wie in den Fig. 7 und 19 gezeigt, wird der Spannungs-Entlastungsfilm 1d entfernt, und die Gateisolationsfilme 6 werden gebildet, z. B. durch das thermische Oxidationsverfahren. Gateelektrodenmaterial wird auf die Gateisolationsfilme 6 aufgebracht, z. B. durch das CVD-Verfahren oder das Sputterverfahren, und wird dann zum Bilden der Gateelektroden 7 bemustert. Wie in den Fig. 28 gezeigt, werden die Gateelektroden 7 als Maske benutzt, und n-Typ Fremdatome wie Phosphor (P) oder Arsen (As) werden ionenimplantiert, zum Bilden der Niedrigkonzentrations-Fremdatombereiche 8 in einer selbstausrichtenden Weise, mit einer Konzentration zwischen etwa 10^{17} und etwa 10^{19} cm^{-3} .

Wie in den Fig. 9 und 21 gezeigt, wird ein CVD-Film 9, wie ein Oxidfilm, ein Nitridfilm oder ein Polysiliziumfilm, durch das CVD-Verfahren auf den Gateisolationsfilmen 6 und den Gateelektroden 7 gebildet. Wie in den Fig. 10 und 22 gezeigt, wird anisotropes Ätzen ausgeführt, zum Entfernen von flachen Bereichen des CVD-Filmes 9, so daß der CVD-Film 9, der teilweise auf den Seitenoberflächen der Gateelektroden 7 verbleibt, die Abstandselemente 10 bildet.

Wie in den Fig. 11 und 23 gezeigt, werden die Abstandselemente (Spacer) 10 als Maske benutzt, und n-Typ Fremdatome wie Phosphor (P) oder Arsen (As) werden in die Source/Drainbereiche des n-Kanal MISFETs ionenimplantiert, zum Bilden der Hochkonzentrations-Fremdatombereiche 11 mit einer Konzentration zwischen etwa 10^{20} und etwa 10^{22} cm^{-3} .

Wie in den Fig. 12 und 24 gezeigt, wird ein Resistmuster 16 gebildet, zum Freilegen der MISFETs, in die die ROM-Daten einzuschreiben sind, und zum Bedecken der MISFETs, in die die ROM-Daten nicht einzuschreiben sind. Dieses Resistmuster 16 wird als Maske benutzt, und die Abstandselemente 10, die auf den Seitenoberflächen der Gateelektroden 7 derjenigen MISFETs gebildet sind, in die ROM-Daten einzuschreiben sind, werden durch Ätzen entfernt. Wenn in diesem Schritt die Abstandselemente 10 Oxidfilme sind, die durch das CVD-Verfahren gebildet wurden, werden sie mit einem Ätzmittel entfernt, das Wasserstoff-Fluorsäure enthält, oder sie werden durch Trockenätzen entfernt, mit einem Ätzzas oder dergleichen, das CHF_3 enthält.

Wie in den Fig. 13 und 25 gezeigt, wird das Resistmuster 16 entfernt. Die Gateelektroden 7 und Abstandselemente 10 werden als Maske benutzt, und n-Typ Fremdatome wie Phosphor (P) oder Arsen (As) werden mit einer Rate zwischen 10^{14} und 10^{17} cm^{-2} ionenimplantiert, so daß die Durchgreif-Implantationsschichten 60 durch die Wärmebehandlung in einem späteren Schritt gebildet werden. Die n-Typ Fremdatomschichten 60 werden in den Source/Drainbereichen derjenigen MISFETs gebildet, in die ROM-Daten nicht einzuschreiben sind. Durch diese Fremdatomschichten 60 kann der Feldentlastungseffekt durch die LDD-Struktur unterdrückt werden, wie oben beschrieben.

Um das Durchgreifen zwischen Source und Drain des MISFET mit eingeschriebenen ROM-Daten zu erreichen, müssen die n-Typ Fremdatombereiche der Source-/Drainbereiche miteinander leiten, durch die seitliche Ausbreitung des Fremdatombereiches, der durch die Ionenimplantation erzeugt wird, und durch die Diffusion der Fremdatome, die durch die Wärmebehandlung in einem späteren Schritt bewirkt wird. Beispielsweise wird angenommen, daß die Gateelektrode eine Breite von $0,7 \mu\text{m}$ aufweist, daß Phosphorionen (P) mit der Energie von 200 KeV implantiert werden, und daß eine Wärmebehandlung bei etwa 900°C für etwa drei Stunden in einem späteren Schritt vorgenommen wird. In diesem Fall wird eine Diffusionslänge L durch den folgenden Ausdruck (1) dargestellt:

$$L = 2(D \cdot t)^{1/2} \quad (1)$$

D: Diffusionskoeffizient

t: Zeitdauer der Wärmebehandlung.

Wenn $7,8E - 16 \text{ cm}^2/\text{s}$, d. h. der Diffusionskoeffizient von Phosphor (P) bei 900°C in die obige Gleichung (1) eingesetzt wird, beträgt die Diffusionslänge L etwa $0,06 \mu\text{m}$. Um daher die Verbindung über eine Distanz von $0,7 \mu\text{m}$ zwischen Source und Drain zu erzeugen, muß ein Paar der Fremdatombereiche, die durch die Ionenimplantation gebildet werden, jeweils eine seitliche Ausdehnung von $0,29 \mu\text{m}$ aufweisen. In dem Fall, daß Phosphor (P) in Silizium mit 200 KeV implantiert wird, beträgt ein projizierter Bereich R_p $0,2539 \mu\text{m}$, eine Fluktuation des projizierten Bereiches ΔR_p beträgt $0,0775 \mu\text{m}$, und eine Fluktuation in seitlicher Richtung ΔR_L beträgt $0,1010 \mu\text{m}$. Wenn eine einfache Gaußverteilung in Tiefenrichtung der Implantation angenommen wird, kann die Konzentration $n(R_p, x)$ von Phosphor (P) bei der Tiefe R_p durch die folgende Gleichung (2) dargestellt werden. Auch kann die Konzentration $n(R_p, x)$ von Phosphor (P) bei der Tiefe R_p einer Position, die um eine Entfernung x von einem Ende der implantierten Maske entfernt ist, durch die folgende Gleichung (3) dargestellt werden:

$$n(R_p) = \frac{\Phi}{\sqrt{2\pi}\Delta R_L} \quad (2)$$

Φ : Implantationsrate

ΔR_p : Fluktuation des projizierten Bereiches

$$n(R_p, x) = \frac{n(R_p)}{2} \cdot \operatorname{erfc} \frac{x}{\sqrt{2}\Delta R_L} \quad (3)$$

x : Entfernung vom Ende der Implantationsmaske

ΔR_L : Laterale Fluktuation

Entsprechend der obigen Gleichungen (2) und (3) ist eine Implantationsrate Φ von $1 \times 10^{15} \text{ cm}^{-2}$ notwendig, zum Erreichen der Konzentration, die höher als die Konzentration (d. h. etwa 10^{17} cm^{-3}) der p-Typ Fremdatome im Substrat ist, an der Position, die vom Maskenende um $0,29 \mu\text{m}$ entfernt ist. Diese benötigte Rate und Implantationsenergie kann praktisch durch den gewöhnlichen Implantationsapparat mit mittleren Strom erreicht werden.

Durch experimentielle Auswertung wurde herausgefunden, daß ein Strom zwischen Source und Drain fließt, selbst wenn die Implantationsrate in einem weiter niedrigen Bereich zwischen etwa 1×10^{14} und $2 \times 10^{14} \text{ cm}^{-2}$ liegt. Der Grund hierfür liegt darin, daß die seitliche Ausdehnung des Fremdatombereiches größer als die ist, die durch die Berechnung erhalten wird, durch eine Kanalbildung während der Ionenimplantation, Ausbreitung der implantierten Ionenverteilung, die durch ein Anstoßen der Fremdatome bewirkt wird, die bereits implantiert wurden, durch das implantierte Ion, beschleunigte Diffusion durch einen Anstieg der Fremdatomkonzentration, Beitrag eines Schwanzabschnittes der Fremdatomkonzentration usw.

Dann wird, wie in den Fig. 14 und 26 gezeigt, der Isolationszwichenschichtfilm 12, der ein Oxidfilm, ein PSG-Film, ein BPSG-Film oder ein Mehrschichtfilm aus diesen ist, durch das CVD-Verfahren auf dem p-Typ Halbleitersubstrat 1, den Gateelektroden 7 und den Abstandselementen 10 gebildet. Wie in den Fig. 15 und 27 gezeigt, werden Kontaktlöcher 13 an vorgesehenen Abschnitten des Isolationszwichenschichtfilmes 12 durch bekannte Photolithographie- und Ätztechniken gebildet. Dann wird, wie in den Fig. 16 und 28 gezeigt, Verbindungsmaterial auf dem Isolationszwichenschichtfilm 12 durch CVD-Verfahren auf gebracht, und es wird dann durch Photolithographie und Ätzen bemustert, wodurch die Verbindungsschichten 14, die aus Aluminiumlegierung oder dergleichen gebildet sind, fertiggestellt werden. Auf die Verbindungsschichten 14 wird der Schutzfilm 15, wie ein Nitridfilm oder, ein Oxidfilm, durch das CVD-Verfahren gebildet, so daß der in den Fig. 1 und 2 gezeigte Masken-ROM vollständig fertiggestellt wird.

Entsprechend dem oben beschriebenen Herstellungsverfahren des Masken-ROM kann die QTAT verbessert werden, verglichen mit dem herkömmlichen Herstellungsverfahren, bei dem die Verarmungs-Implantations-schichten 105 (Absenkungsimplantationsschichten) vor der Bildung der Gateisolationsfilme 106 gebildet werden. Der Grund hierfür liegt darin, daß die Schritte von einer Bildung der Gateisolationsfilme 6 bis zur Bildung der Hochkonzentrationsfremdatombereiche 11 der Source/Drainbereiche vor dem Schreiben der ROM-Daten, die von einem Kunden bereitgestellt werden, beendet sind. Verglichen mit dem Herstellungsverfahren, bei welchem die Verarmungs-Implantationsschichten durch Ionenimplantation der Fremdatome mit hoher Energie gebildet werden, die das Hindurchtreten durch die Gateelektroden gestattet, kann eine QTAT selben Ausmaßes erreicht werden, aber die ROM-Daten können mit relativ niedriger Energie von 200 KeV oder weniger geschrieben werden. Dadurch ist eine spezielle Vorrichtung, d. h. eine Hochenergieionenimplantationsvorrichtung, die teuer und umfangreich ist, nicht notwendig, und ein gewöhnlicher Ionenimplantationsapparat kann benutzt werden, der aus Kostengründen vorteilhaft ist. Da die Implantationsenergie niedrig ist, kann die seitliche Ausbreitung des implantierten Ions im Halbleitersubstrat relativ klein bleiben. Hierdurch wird effektiv eine nachteilige Beeinflussung benachbarter MISFETs verhindert, die durch das Schreiben von ROM-Daten bewirkt werden könnte. Bei der oben beschriebenen Ausführungsform weisen die MISFETs im Masken-ROM die LDD-Struktur auf. Der Zweck der LDD-Struktur liegt darin, die Erzeugung von heißen Ladungsträgern in der Umgebung des Drainbe-

reiches des Transistors zu verhindern, und damit das elektrische Feld am und um den Drainbereich zu vermindern, zum Verbessern der Zuverlässigkeit des Transistors. Daher sind LDD-Strukturen bei Transistoren z. B. in Peripherieschaltungen notwendig, an die eine hohe Spannung angelegt wird. Bei der oben beschriebenen Ausführungsform weisen die MISFETs im Speicherteil ebenfalls die LDD-Struktur auf. Der Grund hierfür liegt darin, daß die MISFETs im Speicherteil gleichzeitig mit den MISFETs in den Peripherieschaltungen hergestellt werden. Hierdurch wird eine Verminderung der Anzahl von Herstellungsschritten erreicht, verglichen mit dem Fall, daß die Source/Drainbereiche der MISFETs im Speicherteil in Schritten unabhängig von denen zum Herstellen der Peripherieschaltungen hergestellt werden.

Allerdings ist im Speicherteil der Feldverminderungseffekt nicht eigentlich notwendig. Da die Transistoren im Speicherteil ein relativ niedriges Potential empfangen, verglichen mit den Transistoren in den Peripherieschaltungen, die eine höhere Spannung empfangen, sind die Speicherzellenströme, die durch die Transistoren im Speicherteil fließen, relativ niedrig. Allerdings muß der Speicherzellenstrom zum Hochgeschwindigkeitslesen verstärkt werden. Für diesen Zweck muß die an die Transistoren im Speicherteil angelegte Spannung erhöht werden, wobei dann der Effekt der heißen Ladungsträger berücksichtigt werden muß. Angesichts dieser Tatsache werden bei der obigen Ausführungsform n-Typ Fremdatome zum Schreiben der ROM-Daten eingebracht, unter Benutzung der Gateelektroden 7 und der Abstandselemente 10 als Maske. Daher werden die n-Typ Fremdatome auch in die Fremdatombereiche der Transistoren eingebracht, in die die ROM-Daten nicht eingeschrieben werden. Hierdurch wird deutlich die Verminderung des Speicherzellenstroms unterdrückt, die durch den parasitären Widerstand der Niedrigkonzentration-Fremdatombereiche der LDD-Strukturen bewirkt wird. Daher ist der Masken-ROM für Hochgeschwindigkeitslesen geeignet.

Bei der obigen Ausführungsform wird das Resistmuster 16 als Maske zum Entfernen der Abstandselemente 10 benutzt, und dann, nach dem Entfernen des Resistmusters 16, werden die Gateelektroden 7 und die Abstandselemente 10 als Maske zum Schreiben der ROM-Daten benutzt. Wie in Fig. 29 gezeigt, kann allerdings das Resistmuster 16 als Maske zum Entfernen der Abstandselemente 10 benutzt werden, und danach kann dasselbe Resistmuster 16 als Maske für die Ionenimplantation von Phosphor (P), Arsen (As) oder dergleichen benutzt werden, die zum Schreiben der ROM-Daten ausgeführt wird. Dies führt zu einer Wirkung entsprechend der bei der obigen Ausführungsform, mit Ausnahme des Anstiegs des Speicherstromes des MISFET in dem Speicherteil, der in der obigen Ausführungsform hergestellt wurde.

Nachfolgend wird eine weitere Ausführungsform der Erfindung beschrieben, unter Bezug auf die Fig. 30—38. Fig. 30 ist eine Schnittansicht eines NAND-Typ Masken-ROM einer anderen Ausführungsform und zeigt einen Schnitt entsprechend dem aus Fig. 1. Wie in Fig. 30 gezeigt, umfaßt der Masken-ROM dieser Ausführungsform Durchgreif-Implantationsschichten 60 in den Kanalbereichen desjenigen MISFET, in welchen ROM-Daten einzuschreiben sind, entsprechend der obigen Ausführungsform. Bei dieser Ausführungsform sind Abstandselemente 10 (Spacer) auch auf den Seitenwänden der Gateelektroden 7a und 7b derjenigen MISFETs gebildet, in die die ROM-Daten eingeschrieben werden, und die Fremdatomschicht 60 ist nicht in den Source/Drainbereichen der MISFETs gebildet, in die die ROM-Daten nicht eingeschrieben werden.

Der übrige Aufbau entspricht dem der oben beschriebenen Ausführungsform und wird daher nicht wiederholt. Da die Abstandselemente 10 auch auf den Seitenwänden der Gateelektroden 7a und 7b der MISFETs mit eingeschriebenen ROM-Daten gebildet sind, können die geschriebenen Daten nicht aus dem planen oder geschnittenen Aufbau während der Benutzung erkannt werden, d. h. für Mikrocodes eines Mikroprozessors, und daher ergibt sich ein Sicherheitseffekt.

Der Betrieb dieser Ausführungsform ist derselbe wie bei der oben beschriebenen Ausführungsform und wird daher nicht beschrieben. Nachfolgend wird ein Herstellungsverfahren des Masken-ROM dieser Ausführungsform unter Bezug auf die Fig. 31—38 vorgenommen. Die Fig. 31—38 sind Schnittansichten mit einem ersten bis einem achten Schnitt des Herstellungsprozesses des Masken-ROM dieser Ausführungsform, und jeder Schritt entspricht einem Teil des in Fig. 30 gezeigten Abschnittes. Obwohl nachfolgend verschiedene Ausführungsformen beschrieben werden, wird der Aufbau, die Methoden und weitere Eigenschaften die dem bereits beschriebenen entsprechen, nicht wiederholt. Außerdem entsprechen der erste bis vierte Schritt der oben beschriebenen Ausführungsform dem ersten Schritt dieser Ausführungsform. Ferner wird keine Beschreibung bezüglich der Schnittansichten, die zu der in Fig. 30 rechtwinklig ist, vorgenommen.

Wie in Fig. 31 gezeigt, werden die Gateelektroden 7 auf dem p-Typ Halbleitersubstrat 1 mit dem dazwischenliegenden Gateisolationfilm 6 in denselben Stufen wie beim obigen Ausführungsbeispiel beschrieben gebildet. Die Gateelektroden 7 werden als Maske benutzt, und die n-Typ Fremdatome wie Phosphor (P) oder Arsen (As) werden ionenimplantiert, zum Bilden des Niedrigkonzentrations-Fremdatombereiches 8 in selbstausrichtender Weise. Wie in Fig. 32 gezeigt, wird ein Resistmuster 17 gebildet, das diejenigen MISFETs freilegt, in die die ROM-Daten nicht einzuschreiben sind. Unter Benutzung des Resistmusters 17 als Maske werden die n-Typ Fremdatome wie Phosphor (P) oder Arsen (As) ionenimplantiert, zum Bilden der Durchgreif-Implantationsschichten 60. Bei dieser Ausführungsform sind die Konzentrationen in den Durchgreif-Implantationsschichten 60 und die Ionenimplantationsrate der n-Typ Fremdatome im wesentlichen gleich denen bei der oben beschriebenen Ausführungsform.

Wie in Fig. 33 gezeigt, wird der CVD-Film 9 über den Gateisolationfilmen 6 und den Gateelektroden 7 durch die CVD-Methode gebildet. Wie in Fig. 34 gezeigt, wird anisotropes Ätzen ausgeführt, zum Belassen des CVD-Filmes 9 auf den Seitenwänden der Gateelektroden 7, wodurch die Abstandselemente 10 gebildet werden. Wie in Fig. 35 gezeigt, werden die Abstandselemente 10 als Maske benutzt, und die Hochkonzentrations-Fremdatombereiche 11 werden gebildet. Wie in Fig. 36 gezeigt, wird der Isolationszwischenfilm 12 über den Gateelektroden 7 und den Abstandselementen 10 gebildet. Wie in Fig. 37 gezeigt, werden Kontaktöffnungen 13 an vorgesehenen Abschnitten der Isolationszwischenfilm 12, gebildet. Dann werden, wie in Fig. 38 gezeigt, die Verbindungsschichten 14 auf dem Isolationszwischenfilm 12 gebildet, sowie in den Kontaktöffnungen

13. Dann wird der Schutzfilm (nicht gezeigt) über den Verbindungsschichten 14 gebildet, so daß der Masken-ROM vollständig fertiggestellt ist.

Gemäß dem oben beschriebenen Herstellungsverfahren, da die Durchgreif-Implantationsschichten 60 vor der Bildung der Abstandselemente 10 gebildet werden, ist die Wirkung bezüglich QTAT verglichen mit dem oben beschriebenen Herstellungsverfahren relativ gering. Allerdings kann ein vergleichbarer Effekt, daß die ROM-Daten durch die Ionenimplantation mit relativ niedriger Energie von 200 KeV oder niedriger beschrieben werden, erreicht werden. Im Gegensatz zum Herstellungsverfahren der oben beschriebenen Ausführungsform werden die Durchgreif-Implantationsschichten 60 vor der Bildung der Abstandselemente 10 gebildet, so daß der Ätzschritt zum Entfernen der Abstandselemente 10 weggelassen werden kann. Wenn die Abstandselemente 10 durch Naßätzen entfernt werden würden, würden Abschnitte des Trennoxidfilmes und dergleichen, die nicht entfernt würden, durch ein Durchtränken der Ätzflüssigkeit entfernt werden. Wenn die Abstandselemente 10 durch Trockenätzen entfernt werden würden, könnte das Ätzen das p-Typ Halbleitersubstrat 1 beschädigen. Der Herstellungsprozeß dieser Ausführungsform enthält allerdings nicht den Schritt zum Entfernen der Abstandselemente 10, so daß die obigen Nachteile nicht bewirkt werden. Dementsprechend ist der gemäß dieser Ausführungsform hergestellte Masken-ROM dem durch die vorhergehende Ausführungsform hergestellten Masken-ROM bezüglich der Zuverlässigkeit überlegen.

Ein Masken-ROM gemäß einer weiteren Ausführungsform wird nachfolgend unter Bezug auf die Fig. 39—49 beschrieben. Diese Ausführungsform wird auf den NAND-Typ Masken-ROM angewendet. Daher werden MISFETs des Verarmungstyps (Absenkungstyps) gebildet, und andere MISFETs werden so gebildet, daß sie vom Anreicherungstyp sind, wodurch die ROM-Daten geschrieben werden.

Bei dieser Ausführungsform sind alle MISFETs ursprünglich vom Verarmungstyp, und die Ionenimplantation zum Schreiben der Daten wird zum Ändern derjenigen MISFETs durchgeführt, die nicht die vorgesehenen MISFETs sind, in den Anreicherungstyp. Dadurch werden die MISFETs des Verarmungstyps durch das Schreiben der ROM-Daten gebildet.

Diese Ausführungsform wird im Detail unter Bezug auf die Fig. 39—49 beschrieben. Fig. 39 zeigt eine Schnittansicht des NAND-Typ Masken-ROM dieser Ausführungsform und entspricht dem in Fig. 1 gezeigten Schnitt. Wie in Fig. 39 gezeigt, weist ein p-Typ Halbleitersubstrat 20 eine Hauptoberfläche auf, in welcher n-Typ Niedrigkonzentrations-Fremdatombereiche 28 und n-Typ Hochkonzentrations-Fremdatombereiche 31 gebildet sind. n-Typ Fremdatombereiche 36 sind in den Kanalbereichen der jeweiligen MISFETs gebildet. Die Konzentration der n-Typ Fremdatomschichten 36 ist in einem Bereich von etwa 10^{16} bis etwa 10^{17}cm^{-3} . Die Gateelektroden 27 sind auf den Kanalbereichen gebildet, mit dazwischenliegenden Gateisolationsschichten 26. Fremdatom-anbringenschichten 61 sind solche Fremdatomschichten, die durch die Ionenimplantation der p-Typ Fremdatomionen wie Bor (B) mit der Konzentration zwischen 10^{15} und 10^{19}cm^{-3} gebildet worden sind. Die Fremdatomkonzentrationschichten 61 bewirken eine Irregularität in der Fremdatomkonzentration der Kanalbereiche derjenigen MISFETs, die nicht die vorgesehenen MISFETs sind. Hierdurch sind die vorgesehenen MISFETs vom Verarmungstyp, und die anderen MISFETs sind vom Anreicherungstyp.

Abstandselemente sind auf den Seitenoberflächen der Gateelektroden 27a und 27b der MISFETs vom Verarmungstyp gebildet. Durch die Abstandselemente 30 erstreckt sich ein Ende jeder Fremdatomeinbringungsschicht 61 nicht bis zum Kanalbereich des vorgesehenen MISFET. Ein Zwischenschichtisolationsschicht 32 ist auf den Gateelektroden 27 und den Abstandselementen 30 gebildet. Verbindungsschichten 34 sind auf dem Isolationsschichtfilm 32 gebildet. Die Verbindungsschichten 34 sind mit dem Niedrigkonzentrations-Fremdatombereich 28 und dem Hochkonzentrations-Fremdatombereich 31 über Kontaktöffnungen 33 verbunden, die an vorgesehenen Positionen des Isolationsschichtfilmes 32 vorgesehen sind. Ein Schutzfilm 35 ist über den Verbindungsschichten 34 gebildet.

Bei dem obigen Masken-ROM weisen die MISFETs, die nicht die vorgesehenen MISFETs sind, Kanalbereiche auf, in denen die Verteilung von Fremdatomkonzentrationen unregelmäßig ist. Hierdurch kann eine Verminderung eines Bewegungsgrades des Trägers in und um das Zentrum des Kanalbereiches herum unterdrückt werden, und damit kann die allgemeine Leistung des MISFET verbessert werden.

Nachfolgend werden unter Bezug auf Fig. 40 die Konzentrationsverteilung im Fremdatombereich und im Kanalbereich der MISFETs, die unregelmäßige Kanalbereiche aufweisen, weiter im Detail beschrieben. Fig. 40 (I) ist eine vergrößerte Schnittansicht des MISFET mit dem unregelmäßigen Kanalbereich aus Fig. 39. Fig. 40 (II) zeigt die Konzentrationsverteilung in dem in Fig. 40 (I) gezeigten Fremdatombereich. Wie in diesen Figuren gezeigt, ist der mit den Fremdatomeinbringungsschichten 61 versehene MISFET an seinen gegenüberliegenden Enden mit p-Typ Fremdatomschichten 61a versehen, die durch die Fremdatomeinführungsschicht 61 gebildet werden. Zwischen den p-Typ Fremdatomschichten 61a ist ein n-Typ Fremdatombereich 36 gebildet. Hierdurch weist die Fremdatomkonzentration im Kanalbereich eine unregelmäßige Verteilung auf. In diesem Fall weisen die p-Typ Fremdatomschichten 61a eine Konzentration zwischen 10^{17} und 10^{19}cm^{-3} . Die n-Typ Fremdatomschichten 36 zwischen den p-Typ Fremdatomschichten 61a weist eine Konzentration zwischen etwa 10^{16} und etwa 10^{17}cm^{-3} auf. Die Enden der Fremdatomeinbringungsschichten 61 müssen nur in den Kanalbereich des MISFET gebracht werden, der vom Anreicherungstyp sein muß, d. h. des MISFET, der keine eingeschriebenen ROM-Daten aufweist, und die Fremdatomeinbringungsschichten 61 in jedem Paar können Enden aufweisen, die miteinander im Kanalbereich überlappen.

Der Betrieb des NAND-Typ Masken-ROM dieser Ausführungsform ist gleich dem der oben beschriebenen Ausführungsform und wird nicht wiederholt.

Nachfolgend wird ein erster bis siebter Schritt des Herstellungsprozesses des Masken-ROM dieser Ausführungsform unter Bezug auf die Fig. 41—47 vorgenommen. Die Fig. 41—47 sind Schnittansichten, die jeweils einem Teil des in Fig. 39 gezeigten Abschnittes entsprechen. Wie in Fig. 41 gezeigt, werden p-Wannen und n-Wannen gebildet, falls notwendig, in dem p-Typ Halbleitersubstrat 20 bzw. der Peripherieschaltung, und

Elementisoliations-Oxidfilme (nicht gezeigt) werden in den Elementisoliationsbereichen durch thermische Oxidation gebildet. Dann werden n-Typ Fremdatome durch einen Spannungsentlastungsfilm 21a in die Elementbildenden Bereiche ionenimplantiert, die zwischen den Element trennenden Oxidfilmen liegen, zum Bilden der n-Typ Fremdatomschicht 36. Dann werden, wie in Fig. 42 gezeigt, der Gateisoliationsfilm 26, die Gateelektroden 27, die Abstandselemente 30, die Niedrigkonzentrations-Fremdatombereiche 28 sowie die Hochkonzentrations-Fremdatombereiche 31 durch Schritte gebildet, die gleich denen der oben beschriebenen Ausführungsform sind.

Wie in Fig. 43 gezeigt, wird ein Resistmuster 38 zum Entfernen der Abstandselemente 30 bei den vorgesehenen MISFETs gebildet. Unter Benutzung des Resistmusters 38 als Maske wird ein Ätzen durchgeführt, und die vorgesehenen Abstandselemente 30 werden entfernt. Wie in Fig. 44 gezeigt, nach dem Entfernen des Resistmusters 38 werden die Gateelektroden 27 und die Abstandselemente 30 als Masken benutzt, und p-Typ Fremdatomionen wie Bor (B) werden mit einer Rate zwischen etwa 10^{11} und etwa 10^{14} cm^{-2} implantiert, so daß die Fremdatomeinbringungsschichten 61 gebildet werden. Die Implantationsenergie für diesen Schritt kann noch weiter niedriger als die für die oben beschriebene Implantation der n-Typ Fremdatome sein. In diesem Fall ist die Energie zwischen etwa 10 und etwa 200 KeV für die Implantation ausreichend. Dadurch weist die so gebildete Fremdatomeinbringungsschicht 61 ein Ende auf, das sich zum Kanalbereich des MISFET erstreckt, der nicht mit dem Abstandselement 30 versehen ist.

Wie in Fig. 45 gezeigt, werden die Isolationszwichenschichtfilme 32 auf den Gateelektroden 27 und den Abstandselementen 30 gebildet, und dann werden, wie in Fig. 46 gezeigt, die Kontaktlöcher 33 an vorbestimmten Positionen in dem Isolationszwichenschichtfilm 32 gebildet. Wie in Fig. 47 gezeigt, werden die Verbindungsschichten 34 auf dem Isolationszwichenschichtfilm 32 und in den Kontaktlöchern 33 gebildet. Der Schutzfilm 35 (nicht gezeigt) wird über den Verbindungsschichten 34 gebildet, wodurch der Masken-ROM vollständig beendet ist.

Entsprechend dem Herstellungsverfahren des Masken-ROM gemäß der obigen Ausführungsform wird die QTAT verbessert, verglichen mit der herkömmlichen Art, und die ROM-Daten können mit der relativ niedrigen Energie von 200 KeV oder weniger geschrieben werden, so daß der Effekt entsprechend dem durch die oben beschriebene Ausführungsform erreicht werden kann. Wenn die Schwellspannung (V_{th}) des n-Kanal MISFET in der Peripherieschaltung durch das Einbringen der p-Typ Fremdatome in die Source/Drainbereiche bestimmt werden muß; kann entsprechend wie bei der Schreiboperation der ROM-Daten bei dieser Ausführungsform die Schwellspannung (V_{th}) der Peripherieschaltung gleichzeitig mit dem Schreiben der ROM-Daten bestimmt werden. Hierdurch wird die Gesamtanzahl von Schritten verringert.

Obwohl die Ionenimplantation von p-Typ Fremdatomen unter Benutzung der Gateelektroden 27 und Abstandselemente 30 als Maske durchgeführt wird, kann eine schräge rotierende Ionenimplantationsmethode effektiv benutzt werden, zum Vereinfachen der Implantation der p-Typ Fremdatome in die Kanalbereiche. Fig. 48 zeigt einen Zustand, bei welchem die schräge rotierende Ionenimplantation von p-Typ Fremdatomen durchgeführt wird, unter Benutzung der Gateelektroden 27 und Abstandselemente 30 als Maske. Ein Implantationswinkel wird durch Θ geneigt, bezüglich der Normalenrichtung, wie in Fig. 48 gezeigt. Der gewünschte Winkel von Θ liegt in einem Bereich zwischen 10 und 45° . Dieser Bereich erlaubt die effektive Implantation von p-Typ Fremdatomen in die Kanalbereiche der vorgesehenen MISFETs.

Bei den oben beschriebenen Ausführungsformen werden die Gateelektroden 27 und Abstandselemente 30 als Maske für die Ionenimplantation der p-Typ Fremdatome benutzt. Wie in Fig. 49 gezeigt, kann allerdings das Resistmuster 38, das als Maske zum Entfernen der Abstandselemente bei den vorgesehenen MISFETs benutzt wurde, nach dem Entfernen der Abstandselemente 30 belassen werden, und kann als Maske für die Implantation von p-Typ Fremdatomen benutzt werden. Das Resistmuster 38 kann als Maske für die schräge rotierende Ionenimplantation von p-Fremdatomen benutzt werden. Da in diesem Fall die schräge rotierende Ionenimplantation von p-Typ Fremdatomen durchgeführt wird, unter Benutzung des Resistmusters 38 als Maske, können einige Abschnitte mit dem Resistmuster 38 abgedeckt werden. Allerdings kann eine Wirkung die im wesentlichen gleich der oben beschriebenen ist erreicht werden.

Nachfolgend wird ein Masken-ROM einer weiteren Ausführungsform der Erfindung unter Bezug auf die Fig. 50—58 beschrieben. Entsprechend wie bei der obigen Ausführungsform wird diese Ausführungsform auf den NAND-Typ Masken-ROM angewendet.

Fig. 50 ist eine Schnittansicht eines Masken-ROM dieser Ausführungsform und entspricht dem in Fig. 39 gezeigten Schnitt. Wie in den Fig. 39 und 50 gezeigt, liegt der Unterschied im Aufbau zwischen der in Fig. 39 gezeigten Ausführungsform und dieser Ausführungsform darin, ob die Abstandselemente 30 auf den Seitenwänden der MISFETs gebildet sind, die mit den Fremdatomeinbringungsschichten 61 versehen sind. Der übrige Aufbau ist derselbe wie bei der in Fig. 39 gezeigten Ausführungsform. Wenn diese Ausführungsform, bei welcher die Abstandselemente auch auf den Seitenwänden der Gateelektroden 27 derjenigen MISFETs gebildet sind, die mit den Fremdatomeinbringungsschichten 61 versehen sind, benutzt wird, beispielsweise für den Mikrocode des Mikroprozessors, können die geschriebenen Daten nicht aus den ebenen oder geschnittenen Aufbauten erkannt werden, was zu einem Sicherheitseffekt führt. Die anderen Wirkungen sind im wesentlichen gleich der in Fig. 39 gezeigten Ausführungsform.

Ein Herstellungsverfahren des Masken-ROM gemäß dieser Ausführungsform wird nachfolgend unter Bezug auf die Fig. 51—58 beschrieben. Die Fig. 51—58 zeigen einen ersten bis einen achten Schritt des Herstellungsverfahrens des Masken-ROM dieser Ausführungsform. Die Schnittansichten in den Fig. 51—58 entsprechen einem Teil des Schnittes in Fig. 50. Wie in Fig. 51 gezeigt wird die n-Typ Fremdatomschicht 36 auf der Hauptoberfläche des p-Typ Halbleitersubstrates 20 über Schritte gebildet, die gleich denen bei der obigen Ausführungsform sind. Dann werden Gateelektroden 27 auf dem p-Typ Halbleitersubstrat 26 mit dem dazwischenliegenden Gateisoliationsfilm 26 gebildet. Die Gateelektroden 27 werden als Maske benutzt, und die Niedrigkonzentrations-Fremdatombereiche 28 werden in der Hauptoberfläche des p-Typ Halbleitersubstrates

20 in einer selbstausrichtenden Weise gebildet.

Wie in Fig. 52 gezeigt, wird die photolithographische Bearbeitung zum Schreiben von ROM-Daten ausgeführt, zum Bilden eines Resistmusters zum Freilegen der MISFETs, die in den Anreicherungstyp geändert werden sollen. Dieses Resistmuster 39 wird als Maske benutzt, und p-Typ Fremdatome wie Bor (B) werden mit einer Rate von etwa $10^{11} - 10^{14} \text{ cm}^{-2}$ zum Bilden der Fremdatomeinbringungsschichten 61 implantiert. Diese Ionenimplantation benötigt die relativ niedrige Energie von 200 KeV oder weniger.

Dadurch kann eine entsprechend der obigen Ausführungsform ähnliche Wirkung erzielt werden.

Danach wird, wie in Fig. 53 gezeigt, das Resistmuster 39 entfernt. Dann wird der CVD-Film 29 über dem gesamten p-Typ Halbleitersubstrat 20 gebildet, und anisotropes Ätzen wird durchgeführt, zum Bilden der Abstandselemente 30, wie in Fig. 54 gezeigt. Wie in Fig. 55 gezeigt, werden die Gateelektroden 27 und die Abstandselemente 30 als Masken benutzt, und die Ionenimplantation wird durchgeführt, zum Bilden der Hochkonzentrations-Fremdatombereiche 31. Dann werden die Gateelektroden 27 und Abstandselemente 30 mit dem Isolationszwischenfilm 32 bedeckt. Wie in Fig. 57 gezeigt, werden die Kontaktlöcher 33 an vorbestimmten Stellen in dem Zwischenschichtisolationsfilm 32 gebildet. Wie in Fig. 58 gezeigt, werden die Verbindungsschichten 34 auf dem Isolationsfilm 32 und in den Kontaktlöchern 33 gebildet. Ein Schutzfilm (nicht gezeigt) wird über den Verbindungsschichten 34 gebildet, wodurch der Masken-ROM vollständig ist.

Entsprechend der oben beschriebenen Ausführungsform kann die Fremdatomeinbringungsschicht 61 gleichzeitig an den Source/-Drainbereichen der n-Typ Kanal MISFETs in der Peripherieschaltung gebildet werden, zum Bestimmen der Schwellspannung (V_{th}) dieser MISFETs.

Gemäß dem obigen Herstellungsverfahren des Masken-ROM kann die QTAT verbessert werden, verglichen mit der herkömmlichen Technik. Da das Schreiben der ROM-Daten mit einer relativen niedrigen Energie durchgeführt werden kann, kann ein gleicher Effekt wie bei den oben beschriebenen Ausführungsformen erhalten werden. Da der Ätzschritt zum Entfernen der Abstandselemente 30 nicht nötig ist, ist es möglich, effektiv eine nachteilige Wirkung auf die trennenden Oxidfilme zu vermeiden, die durch Naßätzen bewirkt würden, und der Ätzschaden am Halbleitersubstrat, das durch Trockenätzen erzeugt wird. Daher wird die Zuverlässigkeit des Masken-ROM verbessert.

Ein Masken-ROM gemäß einer weiteren Ausführungsform wird nachfolgend unter Bezug auf die Fig. 59—66 beschrieben. Diese Ausführungsform wird auf den NOR-Typ Masken-ROM angewendet. Fig. 59 zeigt eine Schnittansicht des NOR-Typ Masken-ROM dieser Ausführungsform und entspricht dem Schnitt entlang der Linie c-c aus Fig. 104 mit dem Stand der Technik. Wie in Fig. 59 gezeigt, werden n-Typ Niedrigkonzentrations-Fremdatombereiche 48 und Hochkonzentrations-Fremdatombereiche 51 in einer Hauptoberfläche eines p-Typ Halbleitersubstrates 40 gebildet, mit Abständen dazwischen. Gateelektroden 47 werden auf Kanalbereichen mit dazwischenliegenden Isolationsfilmen 46 gebildet. Abstandselemente 50 werden auf Seitenwänden der Gateelektroden 47 gebildet, die nicht die vorbestimmten Gateelektroden 47 sind (d. h. die Elektroden 47a in Fig. 59). Das Vorliegen oder Nicht-Vorliegen der Abstandselemente 50 wird zum Schreiben der ROM-Daten benutzt. Die ROM-Daten werden durch Ionenimplantation von p-Typ Fremdatomen wie Bor (B) geschrieben. Durch diese Implantation werden p-Typ Fremdatomschichten, nachfolgend als "Kanalschneide-Implantationsschichten" bezeichnet) 63 gebildet, die sich in die Kanalbereiche der MISFETs erstrecken, die die Gateelektroden 47a aufweisen und damit nicht die Abstandselemente 50 besitzen. Die Enden der Kanalschneide-Implantationsschichten 63 erstrecken sich nicht zu den Kanalbereichen derjenigen MISFETs, die mit den Abstandselementen 50 auf den Seitenwänden ihrer Gateelektroden 47 versehen sind, durch die Existenz der Abstandselemente 50. In der Figur sind die p-Typ Fremdatomschichten durch "63a" bezeichnet und unterscheiden sich von dem Kanalschneide-Implantationsschichten 63. Durch den obigen Aufbau kann die Schwellspannung (V_{th}) der MISFETs, die nicht mit den Abstandselementen 50 versehen sind, höher als die Schwellspannung (V_{th}) derjenigen MISFETs sein, die mit den Abstandselementen 50 versehen sind. Dies gestattet das Schreiben von ROM-Daten. Im allgemeinen weist bei einem Masken-ROM, der etwa 5 V betrieben wird, derjenige MISFET, der keine ROM-Daten enthält, die Schwellspannung (V_{th}) zwischen etwa 0,5 und 2 V auf, und die Schwellspannung (V_{th}) desjenigen MISFET, der ROM-Daten enthält, kann bis zu einem Wert zwischen 3 und etwa 10 V erhöht werden.

Wie in Fig. 59 gezeigt, ist ein Isolationszwischenfilm 52 über den Gateelektroden 47 und den Abstandselementen 50 gebildet, und Kontaktlöcher 53 sind an vorbestimmten Positionen im Isolationszwischenfilm 52 gebildet. Verbindungsschichten 54 sind auf dem Isolationszwischenfilm 52 gebildet, und sind über die Kontaktöffnungen 53 mit den Niedrigkonzentrations-Fremdatombereichen 48 und den Hochkonzentrations-Fremdatombereichen 51 verbunden, die in der Hauptoberfläche des p-Typ Halbleitersubstrates 40 gebildet sind. Die Verbindungsschichten 54 sind mit einem Schutzfilm 55 bedeckt.

Ein Herstellungsverfahren des Masken-ROM dieser Ausführungsform wird nachfolgend unter Bezug auf die Fig. 60—65 beschrieben. Die Fig. 60—65 sind Schnittansichten, die aufeinanderfolgend das Herstellungsverfahren des Masken-ROM dieser Ausführungsform zeigen, und sie zeigen einen Teil des Abschnittes aus Fig. 59.

Wie bei der herkömmlichen Technik werden die Gateelektroden 47 auf dem p-Typ Halbleitersubstrat 40 mit dem dazwischenliegenden Gateisolationsfilm 46 gebildet, wie in Fig. 60 gezeigt. Unter Benutzung der Gateelektroden 47 als Maske werden die Niedrigkonzentrations-Fremdatombereiche 48 in der Hauptoberfläche des p-Typ Halbleitersubstrates 41 in einer selbstausrichtenden Weise gebildet. Die Abstandselemente 50 werden auf den Seitenwänden der Gateelektroden 47 gebildet. Unter Benutzung der Gateelektroden 47 und der Abstandselemente 50 als Maske werden die Hochkonzentrations-Fremdatombereiche 51 gebildet. Wie in Fig. 61 gezeigt, wird ein Resistmuster 56, das die vorgesehenen MISFETs freilegt, gebildet, und die Abstandselemente 50 werden entfernt, unter Benutzung des Resistmusters 56 als Maske.

Wie in Fig. 62 gezeigt, wird das Resistmuster 56 entfernt, und die Kanalschneide-Implantationsschichten 63 werden durch Ionenimplantation des p-Typ Fremdatoms wie Bor (B) bei einer Rate zwischen etwa 10^{12} und etwa 10^{14} cm^{-2} gebildet, unter Benutzung der Gateelektroden 47 und Abstandselemente 50 als Maske. Auch bei

dieser Ausführungsform werden die Gateelektroden 47 und Abstandselemente 50 als Maske benutzt, und die Fremdatome werden durch die Source/Drainbereiche in die MISFETs zum Schreiben der ROM-Daten ionenimplantiert, was entsprechend der Art und Weise zum Schreiben der ROM-Daten bei den obigen Ausführungsformen ist. Daher ist die Energie für die Ionenimplantation relativ niedrig. Da in diesem Fall Bor (B), das leichter als Phosphor (P) als zu implantierendes Fremdatom benutzt wird, ist eine Energie etwa zwischen 50 und 200 KeV für die Ionenimplantation ausreichend.

Wie in Fig. 63 gezeigt, werden die Gateelektroden 47 und die Abstandselemente 50 mit dem Isolationszweischichtfilm 52 bedeckt, und, wie in Fig. 64 gezeigt, werden die Kontaktlöcher 53 an vorbestimmten Positionen in dem Isolationszweischichtfilm 52 gebildet. Wie in Fig. 65 gezeigt, werden die Verbindungsschichten 54 in den Kontaktlöchern 53 und auf dem Isolationszweischichtfilm 52 gebildet. Der Schutzfilm 55 (in Fig. 65 nicht gezeigt) wird über der Verbindungsschicht 54 gebildet, und dadurch wird der Masken-ROM fertiggestellt.

Bei dieser Ausführungsform werden, wie oben beschrieben, die ROM-Daten nach der Bildung der Hochkonzentrations-Fremdatombereiche 51 geschrieben. Daher kann die QTAT verglichen mit dem Stand der Technik verbessert werden. Da die relativ niedrige Energie von etwa 200 KeV oder niedriger zum Schreiben der ROM-Daten benötigt wird, kann ein ähnlicher Effekt wie der bei den obigen Ausführungsformen erhalten werden.

Bei den obigen Ausführungsformen werden die Abstandselemente 50 bei den vorgesehenen MISFETs durch das Ätzen entfernt, unter Benutzung des Resistmusters 56 als Maske, und dann wird das Resistmuster 56 entfernt. Danach wird, unter Benutzung der Gateelektroden 47 und der Abstandselemente 50 als Maske, die Ionenimplantation zum Schreiben der ROM-Daten durchgeführt.

Allerdings kann das Resistmuster 56 selbst nach dem Entfernen der Abstandselemente 50 verbleiben, und kann als Maske für die Ionenimplantation benutzt werden, wodurch die ROM-Daten geschrieben werden. Fig. 66 zeigt einen Zustand, bei welchem das Resistmuster 56 als Maske benutzt wird, und die Ionenimplantation zum Schreiben von ROM-Daten wird durchgeführt, wodurch die Kanalschneide-Implantationsschichten 63 gebildet werden.

Wie oben beschrieben werden die Kanalschneide-Implantationsschichten 63 gebildet, unter Benutzung des Resistmusters 56 als Maske. Dies gestattet ein zuverlässigeres Schreiben von ROM-Daten, verglichen mit dem Fall, daß ROM-Daten unter Benutzung der Abstandselemente 30 und der Gateelektroden 47 als Maske geschrieben werden. Insbesondere, wie in Fig. 66 gezeigt, ist die Seitenwand der Öffnung im Resistmuster 56 zwischen dem Abstandselement 50 und dem MISFET angeordnet, in dem die ROM-Daten einzuschreiben sind. Wenn daher die Ionenimplantation unter Benutzung des Resistmusters 56 als Maske benutzt wird, besteht eine geringe Wahrscheinlichkeit, daß die Kanalschneide-Implantationsschicht 63 sich bis zum Kanalbereich des MISFET erstreckt, in den die ROM-Daten nicht einzuschreiben sind, verglichen mit dem Fall, daß die Abstandselemente 50 als Maske benutzt werden.

Da die Ionenimplantation zum Schreiben von ROM-Daten mit einer relativ niedrigen Energie durchgeführt werden kann, kann das Resistmuster 56 eine relativ geringe Dicke aufweisen. Dies ist für die Miniaturisierung vorteilhaft, verglichen mit dem Fall, daß ein dicker Resistfilm notwendig ist (z. B. wenn die Ionen mit hoher Energie implantiert werden).

Die oben beschriebene schräge rotierende Ionenimplantationsmethode kann als Ionenimplantationsverfahren zum Schreiben der ROM-Daten benutzt werden. Hierdurch wird weiter die Bildung der Kanalschneide-Implantationsschichten vereinfacht, die sich zu den Kanalbereichen des vorgesehenen MISFET erstrecken. Umgekehrt zu dem Fall, daß das Resistmuster 56 als Maske zum Schreiben von ROM-Daten benutzt wird, wird die Ionenimplantation, für die die Gateelektroden 47 und die Abstandselemente 50 als Maske benutzt werden, nicht durch das Resistmuster 56 behindert, so daß die Fremdatome mit einem größeren Implantationswinkel importiert werden können, und daher ist der Freiheitsgrad zum Bestimmen der Prozeßbedingungen erhöht.

Nachfolgend wird ein Masken-ROM gemäß einer weiteren Ausführungsform unter Bezug auf die Fig. 67–75 beschrieben. Diese Ausführungsform wird auf den NOR-Typ Masken-ROM angewendet. Die Fig. 67 ist eine Schnittansicht des NOR-Typ Masken-ROM dieser Ausführungsform und zeigt einen Schnitt, der dem in Fig. 59 gezeigten Ausschnitt entspricht. Wie in den Fig. 67 und 59 gezeigt, unterscheidet sich diese Ausführungsform von der in Fig. 59 gezeigten Ausführungsformen in zwei Punkten, daß die Abstandselemente 50 auf den Seitenwänden der Gateelektroden 47a derjenigen MISFETs gebildet sind, die ROM-Daten enthalten, und daß die p-Fremdatomschichten 63b nicht in den Source/Drainbereichen derjenigen MISFETs gebildet sind, die keine eingeschriebenen ROM-Daten aufweisen. Die anderen Strukturen dieser Ausführungsform entsprechen denen der in Fig. 59 gezeigten Ausführungsform. Das Merkmal, daß die Abstandselemente 50 auch auf den Seitenwänden der Gateelektroden der MISFETs mit eingeschriebenen ROM-Daten gebildet sind führt zu dem oben beschriebenen Sicherheitseffekt.

Ein erster bis achter Schritt eines Herstellungsprozesses des Masken-ROM dieser Ausführungsform wird nachfolgend unter Bezug auf die Fig. 68–75 beschrieben. Die Fig. 68–75 zeigen nacheinander die Abschnitte des Masken-ROM dieser Ausführungsform entsprechend der Reihenfolge der Herstellungsschritte und entsprechend dem in Fig. 67 gezeigten Ausschnittes. Wie in Fig. 68 gezeigt wird ein Verfahren gleich dem wie in der bekannten Technik benutzt, zum Bilden der Gateelektroden 47 auf dem p-Typ Halbleitersubstrat 40 mit dem dazwischenliegenden Gateisolationsfilm 46. Die Gateelektroden 47 werden als Maske benutzt, und n-Typ Fremdatome werden ionenimplantiert, zum Bilden der Niedrigkonzentrations-Fremdatombereiche 48 in einer selbstausrichtenden Weise. Wie in Fig. 69 gezeigt, wird das Resistmuster 57, das die beabsichtigen MISFETs freilegt, gebildet. Mit der Benutzung des Resistmusters 57 als Maske, werden p-Typ Fremdatomionen wie Bor (B) mit einer Rate zwischen etwa 10^{12} und etwa 10^{14} cm^{-2} implantiert, zum Bilden der Kanalschneide-Implantationsschichten 63. In diesem Schritt können die Fremdatome durch die Source/Drainbereiche des vorgesehenen

MISFETs eingebracht werden, unter Benutzung des Resistmusters 57 als Maske. Daher kann die Ionenimplantation mit der relativ niedrigen Implantationsenergie zwischen etwa 50 und 200 KeV durchgeführt werden, wie bei der oben beschriebenen Ausführungsform.

Dann wird, wie in Fig. 70 gezeigt, der CVD-Film 49 über der gesamten Oberfläche des p-Typ Halbleitersubstrates 40 gebildet, und anisotropes Ätzen wird darauf ausgeführt, zum Bilden der Abstandselemente auf den Seitenwänden der Gateelektroden 47, wie in Fig. 71 gezeigt. Wie in Fig. 72 gezeigt, werden die Abstandselemente 50 als Maske benutzt, und die n-Typ Fremdatome werden ionenimplantiert, zum Bilden der Hochkonzentrations-Fremdatombereiche 51. Dann werden, wie in Fig. 73 gezeigt, die Gateelektroden 47 und Abstandselemente 50 mit dem Isolationszwischenfilm 52 bedeckt, und die Kontaktöffnungen 53 werden an den vorbestimmten Positionen im Isolationszwischenfilm 52 gebildet, wie in Fig. 74 gezeigt. Dann werden, wie in Fig. 75 gezeigt, die Verbindungsschichten 54 auf dem Isolationszwischenfilm 52 gebildet, und in den Kontaktlöchern 53, und der Schutzfilm 55 (nicht gezeigt) wird über den Verbindungsschichten 54 gebildet. Auf diese Weise wird der Masken-ROM vervollständigt.

Das Herstellungsverfahren des oben beschriebenen Masken-ROM kann zu einer vorteilhaften QTAT führen, verglichen mit der herkömmlichen Technik. Der Vorteil, der durch das Merkmal, das die ROM-Daten durch die Ionenimplantation mit niedriger Energie geschrieben werden können, kann auch entsprechend wie bei der obigen Ausführungsform erreicht werden. Ferner kann das Resistmuster 57 dünn sein, was günstig für eine Miniaturisierung ist. Im Gegensatz zur obigen Ausführungsform ist der Ätzschritt zum Entfernen der Abstandselemente 50 nicht benötigt, so daß ein möglicher Nachteil, der durch das Trockenätzen oder das Naßätzen erzeugt werden könnte, verhindert wird.

Alle die Ausführungsformen, die oben beschrieben worden sind, werden auf Masken-ROMs angewendet, deren Speicherelemente n-Typ Kanal MISFETs sind. Allerdings kann die vorliegende Erfindung auf Masken-ROM angewendet werden, bei denen p-Typ Kanal MISFETs die Speicherelemente bilden. Dies kann erreicht werden, indem alle p-Typ und alle n-Typ Elemente bei den obigen Ausführungsformen in die entgegengesetzten Leitungstypen geändert werden.

Die Masken-ROM-Halbleitervorrichtung kann verglichen mit der herkömmlichen Technik die Produktionszeit verkürzen. Beispielsweise wird angenommen, daß die Gesamtzahl der Schritte zum Herstellen der Masken-ROM-Halbleitervorrichtung 100 beträgt. In diesem Fall beträgt die Anzahl der Schritte vom Schreiben der ROM-Daten bis zur Fertigstellung der Masken-ROM-Halbleitervorrichtung etwa zwischen 70 und 80 bei der herkömmlichen Technik. Andererseits kann bei der Erfindung die Anzahl der Schritte vom Schreiben der ROM-Daten bis zur Fertigstellung des Masken-ROM zwischen 20 und 40 betragen, da die ROM-Daten nach der Bildung der Hochkonzentrations-Fremdatombereiche geschrieben werden. Mit anderen Worten, die ROM-Daten können nach den Schritten geschrieben werden, die den dritten bis achten Schritten (gezeigt in den Fig. 84—89) im herkömmlichen Herstellungsprozeß entsprechen. Gemäß einer weiteren Ausführungsform, da die ROM-Daten nach der Bildung des Niedrigkonzentrations-Fremdatombereiches geschrieben werden können, kann die Anzahl der Schritte zum Schreiben der ROM-Daten bis zur Fertigstellung der Masken-ROM-Halbleitervorrichtung etwa 50 betragen. Mit anderen Worten, die ROM-Daten können geschrieben werden, nach den Schritten, die den dritten bis fünften Schritten (in den Fig. 84—86 gezeigt) des herkömmlichen Herstellungsprozesses entsprechen. Dadurch kann die Zeit zur Produktion deutlich vermindert werden, verglichen mit der herkömmlichen Technik.

Da die ROM-Daten durch die Ionenimplantation mit niedriger Energie geschrieben werden können, kann die seitliche Ausbreitung der implantierten Fremdatome im Halbleitersubstrat unterdrückt werden. Dies kann deutlich die Möglichkeit vermindern, daß ein Fremdatom, das zum Schreiben der ROM-Daten benutzt wird, in den Kanalbereich des Transistors implantiert wird, in den die ROM-Daten nicht eingeschrieben sind, und der dem Transistor benachbart liegt, in den die ROM-Daten einzuschreiben sind. Daher kann eine nachteilige Beeinflussung des benachbarten Transistors effektiv verhindert werden. Dadurch kann die Zuverlässigkeit der Masken-ROM-Halbleitervorrichtung verbessert werden.

Da die ROM-Daten durch die Ionenimplantation mit niedriger Energie geschrieben werden könnten, kann ein gewöhnlicher Ionenimplantationsapparat benutzt werden. Daher können die für die Ionenimplantationsvorrichtungen benötigten Kosten deutlich verringert werden, verglichen mit dem Fall, daß die ROM-Daten durch die Ionenimplantation durch die Gateelektroden zum Vermindern der Produktionszeit herkömmlicher Weise implantiert werden müssen (d. h. Hochenergieionenimplantation wurde benötigt). Ebenfalls kann der Platzbedarf zur Installation der Ionenimplantationsvorrichtung klein gehalten werden.

Durch das Schreiben der ROM-Daten mit niedriger Energie kann der Resistfilm, der als Maske zum Schreiben der ROM-Daten benutzt wird, dünn gehalten werden. Dies ist bezüglich der Miniaturisierung der Masken-ROM-Halbleitervorrichtung vorteilhaft. Durch die LDD-Strukturen der Transistoren, die die Speicherelemente bilden, können diese Transistoren gleichzeitig mit den Transistoren in Peripherieschaltungen gebildet werden, und daher kann der Herstellungsprozeß vereinfacht werden. Daher können die Herstellungskosten verringert werden. Ferner kann die Konzentration von Fremdatomen in den Kanalbereichen der Transistoren unregelmäßig sein. Dies kann die Verminderung eines Ausmaßes reduzieren, in welchem sich Ladungsträger in und um das Zentrum des Kanalbereiches herum bewegen. Daher wird die Gesamtleistung des Transistors verbessert. Das heißt, die Leistung der Transistoren, die Speicherelemente bilden, kann beim Prozeß zum Schreiben der ROM-Daten verbessert werden.

Patentansprüche

1. Masken-ROM-Halbleitervorrichtung mit einem ersten Transistor mit einer relativ hohen Schwellspannung und einem zweiten Transistor mit einer relativ niedrigen Schwellspannung, die in Reihe verbunden

- sind, mit
 einem Halbleitersubstrat (1) eines ersten Leitungstyps mit einer Hauptoberfläche,
 einem ersten Fremdatombereich (8), einem gemeinsamen Fremdatombereich (8) und einem zweiten Fremdatombereich (8), die vom zweiten Leitungstyp sind und in der Hauptoberfläche des Halbleitersubstrates (1) voneinander in einem Abstand entfernt gebildet sind, zum Bilden von Kanalbereichen des ersten und des zweiten Transistors,
 einer ersten Gateelektrode (7c) des ersten Transistors, die auf dem Kanalbereich gebildet ist, der zwischen dem ersten und dem gemeinsamen Fremdatombereich (8, 8) liegt, mit einem dazwischenliegenden Isolationsfilm (6),
 einer zweiten Gateelektrode (7a) des zweiten Transistors, die auf dem Kanalbereich gebildet ist, der zwischen dem zweiten und dem gemeinsamen Fremdatombereich (8, 8) liegt, mit einem dazwischenliegenden Isolationsfilm (6).
 einem ersten Steuerfremdatombereich (60) zum Steuern einer Höhe einer Schwellspannung des zweiten Transistors, der in der Hauptoberfläche des Halbleitersubstrates gebildet ist und den gemeinsamen Fremdatombereich (8) überlappt, mit Ausnahme eines Endabschnittes des gemeinsamen Fremdatombereiches (8), der der ersten Gateelektrode (7c) benachbart liegt, sich zum Kanalbereich unter der zweiten Gateelektrode (7a) erstreckend, und
 einem zweiten Steuerfremdatombereich (60) zum Steuern einer Höhe einer Schwellspannung des zweiten Transistors, der in der Hauptoberfläche des Halbleitersubstrates (1) gebildet ist und den zweiten Fremdatombereich (8) überlappt, und sich mit dem ersten Steuerfremdatombereich (60) an dem Kanalbereich unter der zweiten Gateelektrode (7a) überlappt.
2. Masken-ROM-Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Masken-ROM-Halbleitervorrichtung eine NAND-Typ Masken-ROM-Halbleitervorrichtung ist und der erste und der zweite Steuer-Fremdatombereich (60, 60) vom selben Leitungstyp wie der erste, der gemeinsame und der zweite Fremdatombereich (8, 8, 8) ist.
3. Masken-ROM-Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Masken-ROM-Halbleitervorrichtung eine NOR-Typ Masken-ROM-Halbleitervorrichtung ist und der erste und der zweite Steuer-Fremdatombereich (60, 60) einen Leitungstyp aufweisen, der entgegengesetzt dem des ersten, des gemeinsamen und des zweiten Fremdatombereiches (8, 8, 8) ist.
4. Masken-ROM-Halbleitervorrichtung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß der erste und der zweite Transistor eine LDD-Struktur aufweisen.
5. Masken-ROM-Halbleitervorrichtung nach einem der Ansprüche 1 bis 4, gekennzeichnet durch einen Seitenwandisolationsfilm (10), der auf einer Seitenwand der ersten Gateelektrode (7c) gebildet ist, und einen Isolationszwichenschichtfilm (12), der den Seitenwandisolationsfilm (10), eine obere Oberfläche der ersten Gateelektrode (7c) sowie eine Seiten- und obere Oberfläche der zweiten Gateelektrode (7a) bedeckend gebildet ist.
6. Masken-ROM-Halbleitervorrichtung nach einem der Ansprüche 2 bis 5, dadurch gekennzeichnet, daß die Konzentration der Fremdatombereiche des zweiten Leitungstyps, die den ersten und den zweiten Steuerfremdatombereich (60, 60) bilden, im Bereich von etwa 10^{18} bis etwa 10^{21} cm^{-3} liegen.
7. Masken-ROM-Halbleitervorrichtung mit einem ersten Transistor mit einer relativ hohen Schwellspannung und einem zweiten Transistor mit einer relativ niedrigen Schwellspannung, die in Reihe verbunden sind, mit
 einem Halbleitersubstrat (1) eines ersten Leitungstyps mit einer Hauptoberfläche,
 einem ersten Fremdatombereich (8), einem gemeinsamen Fremdatombereich (8) und einem zweiten Fremdatombereich (8), die voneinander entfernt in der Hauptoberfläche der Halbleitervorrichtung gebildet sind, zum Bilden von Kanalbereichen des ersten und des zweiten Transistors, mit jeweils einer Niedrigkonzentrations-Fremdatomschicht (8) sowie einer Hochkonzentrations-Fremdatomschicht (11) aufweisen,
 einer ersten Gateelektrode (7c) des ersten Transistors, die auf dem Kanalbereich zwischen dem ersten und dem gemeinsamen Fremdatombereich (8, 8) gebildet ist, mit einem dazwischenliegenden Isolationsfilm (6),
 einer zweiten Gateelektrode (7a) des zweiten Transistors, die auf dem Kanalbereich zwischen dem zweiten und dem gemeinsamen Fremdatombereich (8, 8) gebildet ist, mit einem Isolationsfilm (6) dazwischen,
 einem Seitenwandisolationsfilm (10), der auf einer Seitenwand der ersten Gateelektrode (7c) gebildet ist, einem ersten Steuerfremdatombereich (60) zum Steuern der Höhe der Schwellspannung des zweiten Transistors, der in der Hauptoberfläche des Halbleitersubstrates (1) gebildet ist, so daß er mit dem gemeinsamen Fremdatombereich (8) überlappt, mit Ausnahme mindestens eines Abschnittes der Niedrigkonzentrations-Fremdatomschicht (8) des gemeinsamen Fremdatombereiches (8), der der ersten Gateelektrode (7c) benachbart liegt, sich zum Kanalbereich unter die zweite Gateelektrode (7a) erstreckend, und einem zweiten Steuerfremdatombereich (60) zum Steuern der Höhe einer Schwellspannung des zweiten Transistors, der in der Hauptoberfläche des Halbleitersubstrates (1) gebildet ist, zum Überlappen mit dem zweiten Fremdatombereich (8) und zum Überlappen am Kanalbereich unter der zweiten Gateelektrode (7a) mit dem ersten Steuerfremdatombereich (60).
8. Masken-ROM-Halbleitervorrichtung nach Anspruch 7, dadurch gekennzeichnet, daß die Masken-ROM-Halbleitervorrichtung eine NAND-Typ Masken-ROM-Halbleitervorrichtung ist und der erste und der zweite Steuerfremdatombereich (60, 60) vom selben Leitungstyp ist wie der erste, der gemeinsame und der zweite Fremdatombereich (8, 8, 8).
9. Masken-ROM-Halbleitervorrichtung nach Anspruch 8, dadurch gekennzeichnet, daß die Konzentration der Fremdatombereiche des zweiten Leitungstyps, die den ersten und den zweiten Steuerfremdatombereich (60) bilden, im Bereich zwischen etwa 10^{18} und etwa 10^{21} cm^{-3} liegt.

10. Masken-ROM-Halbleitervorrichtung nach Anspruch 7, dadurch gekennzeichnet, daß die Masken-ROM-Halbleitervorrichtung eine NOR-Typ Masken-ROM-Halbleitervorrichtung ist und der erste und der zweite Steuerfremdatombereich (60, 60) einen Leitungstyp aufweisen, der umgekehrt dem Leitungstyp des ersten, des gemeinsamen und des zweiten Fremdatombereiches (8, 8, 8) ist.

5 11. Masken-ROM-Halbleitervorrichtung mit einem ersten Transistor mit einer relativ niedrigen Schwellspannung und einen zweiten Transistor mit einer relativ hohen Schwellspannung, die in Reihe verbunden sind, mit

einem Halbleitersubstrat (20) eines ersten Leitungstyps mit einer Hauptoberfläche, einem ersten Fremdatombereich (28), einem gemeinsamen Fremdatombereich (28) sowie einem zweiten Fremdatombereich (28), die einen zweiten Leitungstyp aufweisen und voneinander um einen Abstand entfernt in der Hauptoberfläche des Halbleitersubstrates (20) gebildet sind, zum Bilden von Kanalbereichen des ersten und des zweiten Transistors,

einer ersten Gateelektrode (27a), die auf einem ersten Kanalbereich gebildet ist, der zwischen dem ersten und dem gemeinsamen Fremdatombereich (28, 28) liegt, mit einem dazwischenliegenden Isolationsfilm (26), einer zweiten Gateelektrode (27), die auf einem zweiten Kanalbereich gebildet ist, der zwischen dem zweiten und den gemeinsamen Fremdatombereich (28, 28) liegt, mit einem Isolationsfilm (26) dazwischen, einem ersten Kanal-Fremdatombereich (36) des zweiten Leitungstyps, der im ersten Kanalbereich gebildet ist und sich in Kontakt mit dem ersten Fremdatombereich (28) und dem gemeinsamen Fremdatombereich (28) befindet,

20 einem ersten Kanalschneide-Fremdatombereich (61) des ersten Leitungstyps, der dem zweiten Fremdatombereich (28) benachbart gebildet ist und in dem zweiten Kanalbereich gebildet ist, zum Steuern der Höhe einer Schwellspannung des zweiten Transistors,

einem zweiten Kanalschneide-Fremdatombereich (61) des ersten Leitungstyps, der den gemeinsamen Fremdatombereich (28) benachbart im zweiten Kanalbereich gebildet ist, zum Steuern der Höhe der Schwellspannung des zweiten Transistors, und

25 einem zweiten Kanalfremdatombereich (36) des zweiten Leitungstyps, der zwischen dem ersten und dem zweiten Kanalschneide-Fremdatombereich (61, 61) liegt und in dem zweiten Kanalbereich gebildet ist, zum Steuern der Höhe der Schwellspannung des zweiten Transistors.

12. Masken-ROM-Halbleitervorrichtung nach Anspruch 11, dadurch gekennzeichnet, daß die Masken-ROM-Halbleitervorrichtung eine NAND-Typ Masken-ROM-Halbleitervorrichtung ist.

13. Masken-ROM-Halbleitervorrichtung nach Anspruch 11 oder 12, dadurch gekennzeichnet, daß der erste und der zweite Transistor eine LDD-Struktur aufweisen.

14. Masken-ROM-Halbleitervorrichtung nach einem der Ansprüche 1 bis 13, gekennzeichnet durch einen Seitenwandisolationsfilm (30), der auf eine Seitenwand der ersten Gateelektrode (27a) gebildet ist, und

35 einen Isolationszwischenstofffilm (32), der den Seitenwandisolationsfilm (30), eine obere Oberfläche der ersten Gateelektrode (27a) sowie eine seitliche und eine obere Oberfläche der zweiten Gateelektrode (27) bedeckt.

15. Masken-ROM-Halbleitervorrichtung nach einem der Ansprüche 12 bis 14, dadurch gekennzeichnet, daß die Konzentration des ersten und des zweiten Kanalschneide-Fremdatombereiches (61, 61) in einem Bereich zwischen etwa 10^{15} und etwa 10^{19} cm^{-3} liegt.

16. Masken-ROM-Halbleitervorrichtung nach Anspruch 15, dadurch gekennzeichnet, daß die Konzentration des ersten und des zweiten Kanal-Fremdatombereiches (36, 36) in einem Bereich zwischen etwa 10^{16} und etwa 10^{17} cm^{-3} liegt.

45 17. Masken-ROM-Halbleitervorrichtung mit einem ersten Transistor mit einer relativ niedrigen Schwellspannung und einem zweiten Transistor mit einer relativ hohen Schwellspannung, die in Reihe verbunden sind, mit

einem Halbleitersubstrat (40) eines ersten Leitungstyps mit einer Hauptoberfläche, einem ersten Niedrigkonzentrations-Fremdatombereich (48), einem gemeinsamen Niedrigkonzentrations-Fremdatombereich (48) und

50 einem zweiten Niedrigkonzentrations-Fremdatombereich (48), die in der Hauptoberfläche des Halbleitersubstrates (40) gebildet sind, zum Definieren von Kanalbereichen des ersten und des zweiten Transistors, einer ersten Gateelektrode (47), die auf dem Kanalbereich zwischen dem ersten Niedrigkonzentrations-Fremdatombereich (48) und dem gemeinsamen Niedrigkonzentrations-Fremdatombereich (48) gebildet ist, mit einem dazwischenliegenden Isolationsfilm (46),

55 einer zweiten Gateelektrode (47a), die auf dem Kanalbereich gebildet ist, der zwischen dem zweiten Niedrigkonzentrations-Fremdatombereich (48) und dem gemeinsamen Niedrigkonzentrations-Fremdatombereich (48) liegt, mit einem dazwischenliegenden Isolationsfilm (46),

einem ersten Hochkonzentrations-Fremdatombereich (51) mit einem Ende, das weiter von der ersten Gateelektrode entfernt liegt als ein Ende des ersten Niedrigkonzentrations-Fremdatombereiches (51), und der sich von der ersten Gateelektrode (47) weg erstreckt,

60 einem gemeinsamen Hochkonzentrations-Fremdatombereich (51) der ein Ende aufweist, das von der ersten und der zweiten Gateelektrode (47a, 47) weiter entfernt ist als ein Ende des gemeinsamen Niedrigkonzentrations-Fremdatombereiches (48), und der sich von der ersten und der zweiten Gateelektrode (47a, 47) weg erstreckt,

65 einem zweiten Hochkonzentrations-Fremdatombereich (51) mit einem Ende, das weiter von der zweiten Gateelektrode (47a) entfernt ist als ein Ende des zweiten Niedrigkonzentrations-Fremdatombereiches (48) und sich von der zweiten Gateelektrode (47a) weg erstreckt,

- einem ersten Steuerfremdatombereich (63) des ersten Leitungstyps zum Steuern der Höhe der Schwellspannung des zweiten Transistors, der zum Überlappen mit dem gemeinsamen Niedrigkonzentrations-Fremdatombereich (48) und dem gemeinsamen Hochkonzentrations-Fremdatombereich (51) gebildet ist, mit Ausnahme des Endes des gemeinsamen Niedrigkonzentrations-Fremdatombereiches (48), das der ersten Gateelektrode (47) benachbart ist, und sich zum Kanalbereich unter der zweiten Gateelektrode (47a) erstreckend, 5
- einem zweiten Steuerfremdatombereich (63) des ersten Leitungstyps zum Steuern der Höhe der Schwellspannung des zweiten Transistors, der zum Überlappen mit dem zweiten Niedrigkonzentrations-Fremdatombereich (48) und mit dem gemeinsamen Hochkonzentrations-Fremdatombereich (51) gebildet ist und ein Ende aufweist, das im Kanalbereich unter der zweiten Gateelektrode (47a) angeordnet ist, 10
- einem Seitenwandisolationsfilm (50), der auf einer Seitenwand der ersten Gateelektrode (47) gebildet ist, und
- einem Isolationszwischenschichtfilm (52), der den Seitenwand-Isolationsfilm (50), eine obere Oberfläche der ersten Gateelektrode (47) sowie eine Seite und eine obere Oberfläche der zweiten Gateelektrode (47a) bedeckt. 15
18. Masken-ROM-Halbleitervorrichtung nach Anspruch 17, dadurch gekennzeichnet, daß die Masken-ROM-Halbleitervorrichtung eine NOR-Typ Masken-ROM-Halbleitervorrichtung ist.
19. Masken-ROM-Halbleitervorrichtung nach Anspruch 18, dadurch gekennzeichnet, daß die Konzentration der Fremdatombereiche des ersten Leitungstyps, die den ersten und den zweiten Steuerfremdatombereich (63, 63) bilden, im Bereich zwischen etwa 10^{17} und etwa 10^{19}cm^{-3} liegt. 20
20. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung mit einem ersten Transistor mit einer relativ hohen Schwellspannung und einem zweiten Transistor mit einer relativ niedrigen Schwellspannung, die in Reihe verbunden sind, mit den Schritten:
- Bilden einer ersten und einer zweiten Gateelektrode (7a, 7c) des ersten und des zweiten Transistors auf einer Hauptoberfläche eines Halbleitersubstrates (1) eines ersten Leitungstyps mit einem Gateisolationsfilm (6) dazwischen, 25
- Bilden eines ersten Fremdatombereiches (8), eines gemeinsamen Fremdatombereiches (8) und eines zweiten Fremdatombereiches (8) in der Hauptoberfläche des Halbleitersubstrates (1), zum Bilden von Source- und Drainbereichen des ersten und des zweiten Transistors, wobei jeder den zweiten Leitungstyp aufweist,
- Bilden eines Seitenwandisolationsfilmes (10) auf einer Seitenoberfläche der ersten Gateelektrode (7c), und Ionenimplantation von Fremdatomen zum Steuern einer Schwellspannung des zweiten Transistors im zweiten Fremdatombereich (8) und im gemeinsamen Fremdatombereich (8), unter Benutzung der ersten Gateelektrode (7c), der zweiten Gateelektrode (7a) und des Seitenwandisolationsfilmes (10) als Maske. 30
21. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach Anspruch 20, dadurch gekennzeichnet, daß der erste und der zweite Transistor LDD-Strukturen aufweisen, und 35
- der Schritt zum Bilden des ersten Fremdatombereiches (8), des gemeinsamen Fremdatombereiches (8) und des zweiten Fremdatombereiches (8) den Schritt zum Bilden eines ersten Hochkonzentrations-Fremdatombereiches (11), eines gemeinsamen Hochkonzentrations-Fremdatombereiches (11) und eines zweiten Hochkonzentrations-Fremdatombereiches (11) unter Benutzung des Seitenwandisolationsfilmes (10) als Maske 40
- aufweist, nach dem Bilden des ersten Niedrigkonzentrations-Fremdatombereiches (8), des gemeinsamen Niedrigkonzentrations-Fremdatombereiches (8) und des zweiten Niedrigkonzentrations-Fremdatombereiches (8).
22. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach Anspruch 20 oder 21, dadurch gekennzeichnet, daß der Schritt zum Bilden des Seitenwandisolationsfilmes (10) den Schritt zum Bilden des Seitenwandisolationsfilmes (10) auf den Seitenoberflächen der ersten und der zweiten Gateelektrode (7a, 7c) aufweist, sowie den Schritt zum Entfernen des Seitenwandisolationsfilmes (10), der auf den Seitenoberflächen der zweiten Gateelektrode (7a) gebildet ist. 45
23. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach einem der Ansprüche 20 bis 22, dadurch gekennzeichnet, daß das Fremdatom zum Steuern der Höhe der Schwellspannung des zweiten Transistors vom zweiten Leitungstyp ist. 50
24. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach Anspruch 23, gekennzeichnet durch den Schritt zum Diffundieren des Fremdatomes, so daß ein Paar von Steuerfremdatombereichen (60), die durch die Implantation von Fremdatomenionen des zweiten Leitungstyps gebildet werden, miteinander überlappende Enden an einer Position unter der zweiten Gateelektrode (7a) aufweisen. 55
25. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach Anspruch 23, dadurch gekennzeichnet, daß eine Ionenimplantationsrate der Fremdatome des zweiten Leitungstyps in einem Bereich zwischen etwa 10^{14} und etwa 10^{17}cm^{-2} liegt. 60
26. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach einem der Ansprüche 23 bis 25, dadurch gekennzeichnet, daß die Ionenimplantation eine schräge rotierende Ionenimplantation ist.
27. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach Anspruch 26, dadurch gekennzeichnet, daß ein Implantationswinkel der Fremdatome des zweiten Leitungstyps für die schräge Rotations-Ionenimplantation in einem Bereich zwischen 10 und 45° liegt, bezüglich einer vertikalen Richtung auf die Hauptoberfläche des Halbleitersubstrates (1). 65
28. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach Anspruch 20, dadurch gekennzeichnet, daß die Fremdatome zum Steuern der Höhe der Schwellspannung des zweiten Transistors vom ersten Leitungstyp sind.
29. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach Anspruch 28, dadurch gekennzeichnet, daß eine Ionenimplantationsrate der Fremdatome des ersten Leitungstyps in einem Bereich

zwischen etwa 10^{12} und etwa 10^{14}cm^{-2} liegt.

30. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach Anspruch 29, dadurch gekennzeichnet, daß die Ionenimplantation der Fremdatome des ersten Leitungstyps eine schräge Rotations-Ionenimplantation ist.

31. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach Anspruch 30, dadurch gekennzeichnet, daß ein Implantationswinkel der Fremdatome des ersten Leitungstyps für die schräge Rotations-Ionenimplantation in einem Bereich zwischen 10° und 45° liegt, bezüglich einer vertikalen Richtung auf die Hauptoberfläche des Halbleitersubstrates (1).

32. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung mit einem ersten Transistor mit einer relativ hohen Schwellspannung und einem zweiten Transistor mit einer relativ niedrigen Schwellspannung, die in Reihe verbunden sind, mit den Schritten:

Bilden einer ersten und einer zweiten Gateelektrode (7) des ersten und des zweiten Transistors auf einer Hauptoberfläche eines Halbleitersubstrates (1) eines ersten Leitungstyps, mit einem dazwischenliegenden Gateisolationsfilm (6), Bilden eines ersten Fremdatombereiches (8), eines gemeinsamen Fremdatombereiches (8) sowie eine zweiten Fremdatombereiches (8) in der Hauptoberfläche des Halbleitersubstrates (1), wobei der erste Fremdatombereich (8), der gemeinsame Fremdatombereich (8) und der zweite Fremdatombereich (8) Source- und Drainbereiche des ersten und des zweiten Transistors bilden und jeweils von einem zweiten Leitungstyp sind,

Bilden eines Resistmusters (16) zum Bedecken der ersten Gateelektrode (7) und zum Freilegen der zweiten Gateelektrode (7), Ionenimplantation von Fremdatom zum Steuern der Höhe einer Schwellspannung des zweiten Transistors in den zweiten Fremdatombereich (8) und den gemeinsamen Fremdatombereich (8), unter Benutzung des Resistmusters (16) und der zweiten Gateelektrode (7) als Maske,

Diffundieren der eingebrachten Fremdatome, so daß Enden eines Paares von Steuerfremdatombereichen (60), die durch die Implantation der Fremdatome zum Steuern der Höhe der Schwellspannung des zweiten Transistors gebildet wurden, miteinander an einer Stelle unter der zweiten Gateelektrode (7) überlappen, nach der Ionenimplantation.

33. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach Anspruch 32, dadurch gekennzeichnet, daß die Fremdatome zum Steuern der Höhe der Schwellspannung des zweiten Transistors vom zweiten Leitungstyp sind.

34. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach Anspruch 32, dadurch gekennzeichnet, daß die Fremdatome zum Steuern der Höhe der Schwellspannung des zweiten Transistors vom ersten Leitungstyp sind.

35. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach einem der Ansprüche 32 bis 34, gekennzeichnet durch den Schritt zum Bilden eines Seitenwandisulationsfilmes auf einer Seitenoberfläche der ersten Gateelektrode (7), wobei das Resistmuster (16) die erste Gateelektrode (7) und die Seitenwand (10) bedeckt.

36. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach einem der Ansprüche 32 bis 34, gekennzeichnet durch die Schritte:

Bilden von Seitenwandisulationsfilmen (10) auf einer Seitenoberfläche der ersten und der zweiten Gateelektrode (7, 7), und Entfernen des Seitenwandisulationsfilmes (10) auf einer Seitenoberfläche der zweiten Gateelektrode (7), unter Benutzung des Resistmusters (16) als Maske.

37. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung mit einem ersten Transistor mit einer relativ niedrigen Schwellspannung und einem zweiten Transistor mit einer relativ hohen Schwellspannung, die in Reihe verbunden sind, mit den Schritten:

Bilden einer Fremdatomschicht (36) eines zweiten Leitungstyps in Bereichen, in denen der erste und der zweite Transistor zu bilden sind, von einer Hauptoberfläche eines Halbleitersubstrates (20) eines ersten Leitungstyps,

Bilden eines ersten Fremdatombereiches (28), eines gemeinsamen Fremdatombereiches (28) sowie eines zweiten Fremdatombereiches (28), die Kanalbereiche des ersten und des zweiten Transistors definieren und Source- und Drainbereiche bilden, in der Hauptoberfläche des Halbleitersubstrates (20) des ersten Leitungstyps,

Bilden einer ersten und einer zweiten Gateelektrode (27, 27) auf der Hauptoberfläche des Halbleitersubstrates (20), mit einem dazwischenliegenden Gateisolationsfilm (26),

Bilden eines Seitenwandisulationsfilmes (30), auf einer Seitenoberfläche der ersten Gateelektrode (27), und Ionenimplantieren von Fremdatomen des ersten Leitungstyps zum Steuern der Höhe einer Schwellspannung des zweiten Transistors in den gemeinsamen Fremdatombereich (28) und den zweiten Fremdatombereich (28), unter Benutzung der ersten Gateelektrode (27), der zweiten Gateelektrode (27) und des Seitenwandisulationsfilmes (30) als Maske.

38. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach Anspruch 37, dadurch gekennzeichnet, daß der erste und der zweite Transistor eine LDD-Struktur aufweisen, und

der Schritt zum Bilden des ersten Fremdatombereiches (28), des gemeinsamen Fremdatombereiches (28) und des zweiten Fremdatombereiches (28) die Schritte zum Bilden eines ersten Hochkonzentrations-Fremdatombereiches (31), eines gemeinsamen Hochkonzentrations-Fremdatombereiches (31) sowie eines zweiten Hochkonzentrations-Fremdatombereiches (31) aufweist, unter Benutzung des Seitenwandisulationsfilmes (30) als Maske, nach dem Bilden des ersten Niedrigkonzentrations-Fremdatombereiches (28), des gemeinsamen Niedrigkonzentrations-Fremdatombereiches (28) und der zweiten Niedrigkonzentrations-Fremdatombereiches (28).

39. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach Anspruch 37, dadurch ge-

kennzeichnet, daß eine Ionenimplantationsrate des Fremdatomes des ersten Leitungstyps in einem Bereich zwischen etwa 10^{11} und etwa 10^{14}cm^{-2} liegt.

40. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach Anspruch 37, dadurch gekennzeichnet, daß die Ionenimplantation schräge Rotations-Ionenimplantation ist.

41. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach Anspruch 39, dadurch gekennzeichnet, daß die Energie zum Implantieren des Ions in den Fremdatombereich des ersten Leitungstyps in einem Bereich zwischen etwa 100 und etwa 200 KeV liegt. 5

42. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach Anspruch 40, dadurch gekennzeichnet, daß ein Implantationswinkel der Fremdatome des ersten Leitungstyps für die schräge Rotations-Ionenimplantation in einem Bereich zwischen etwa 10 und etwa 45° bezüglich der vertikalen Richtung auf die Hauptoberfläche des Halbleitersubstrates (20) liegt. 10

43. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung mit einem ersten Transistor einer relativ niedrigen Schwellspannung einem zweiten Transistor mit einer relativ hohen Schwellspannung, die in Reihe verbunden sind, mit den Schritten: Bilden einer Fremdatomschicht (36) eines zweiten Leitungstyps in Bereichen, in denen der erste und der zweite Transistor zu bilden sind, auf einer Hauptoberfläche eines Halbleitersubstrates (20) eines ersten Leitungstyps. 15

Bilden einer ersten und einer zweiten Gateelektrode (27, 27) des ersten und des zweiten Transistors auf der Hauptoberfläche des Halbleitersubstrates (20) des ersten Leitungstyps mit dem dazwischenliegenden Gateisolationfilm (26).

Bilden eines ersten Fremdatombereiches (28), eines gemeinsamen Fremdatombereiches (28) und eines zweiten Fremdatombereiches (28) des zweiten Leitungstyps, die Source- und Drainbereiche des ersten und des zweiten Transistors bilden, in der Hauptoberfläche des Halbleitersubstrates (20). 20

Bilden eines Resistmusters (38) zum Bedecken der ersten Gateelektrode (27) und zum Freilegen der zweiten Gateelektrode (27), und

Ionenimplantieren von Fremdatomen des ersten Leitungstyps zum Steuern einer Höhe der Schwellspannung des zweiten Transistors in den zweiten Fremdatombereich (28) und den gemeinsamen Fremdatombereich (28), unter Benutzung des Resistmusters (38) und der zweiten Gateelektrode (27) als Maske. 25

44. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach Anspruch 43, gekennzeichnet durch den Schritt zum Bilden eines Seitenwandisolationfilms auf einer Seitenoberfläche der ersten Gateelektrode (27), wobei das Resistmuster (38) die erste Gateelektrode (27) und den Seitenwandisolationsfilm (30) bedeckt. 30

45. Verfahren zum Herstellen einer Masken-ROM-Halbleitervorrichtung nach Anspruch 43, gekennzeichnet durch den Schritt zum Bilden von Seitenwandisolationsfilmen (30) auf der ersten und der zweiten Gateelektrode (27, 27) und den Schritt zum Entfernen des Seitenwandisolationsfilmes (30) auf der zweiten Gateelektrode (27) unter Benutzung des Resistmusters (38) als Maske. 35

Hierzu 61 Seite(n) Zeichnungen

40

45

50

55

60

65

FIG. 1

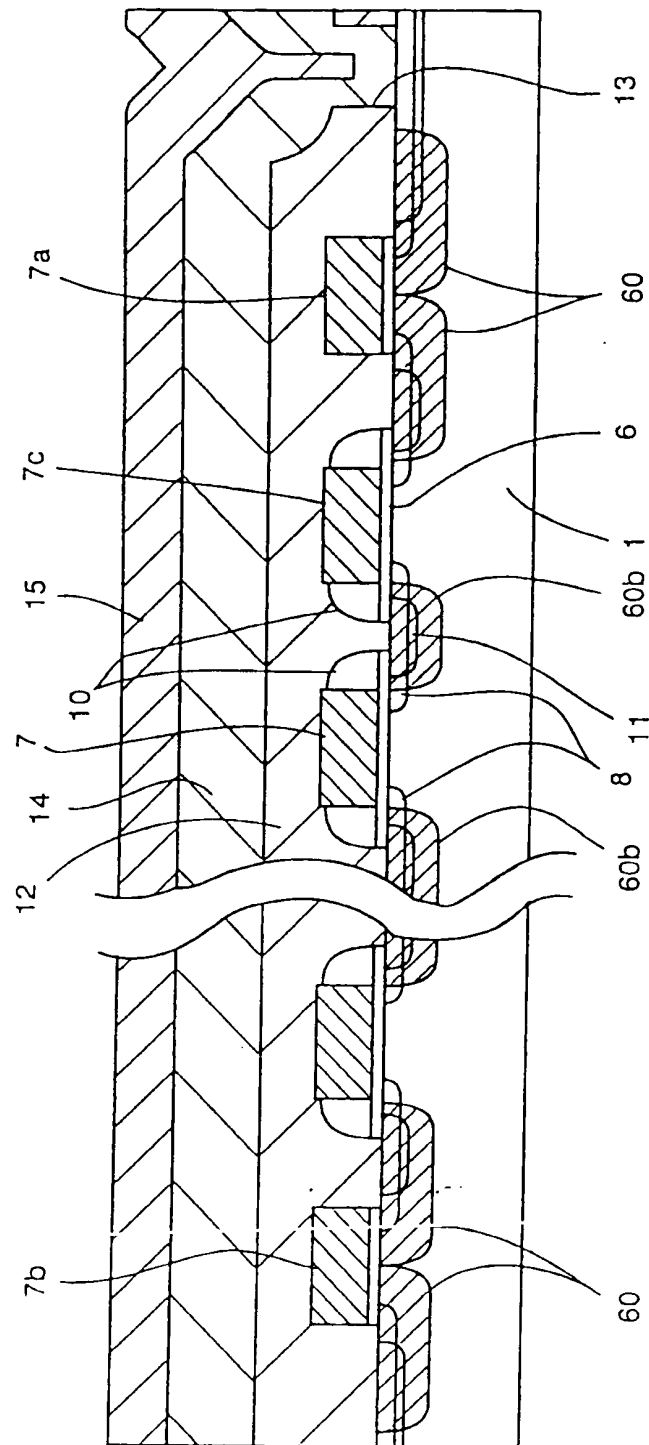
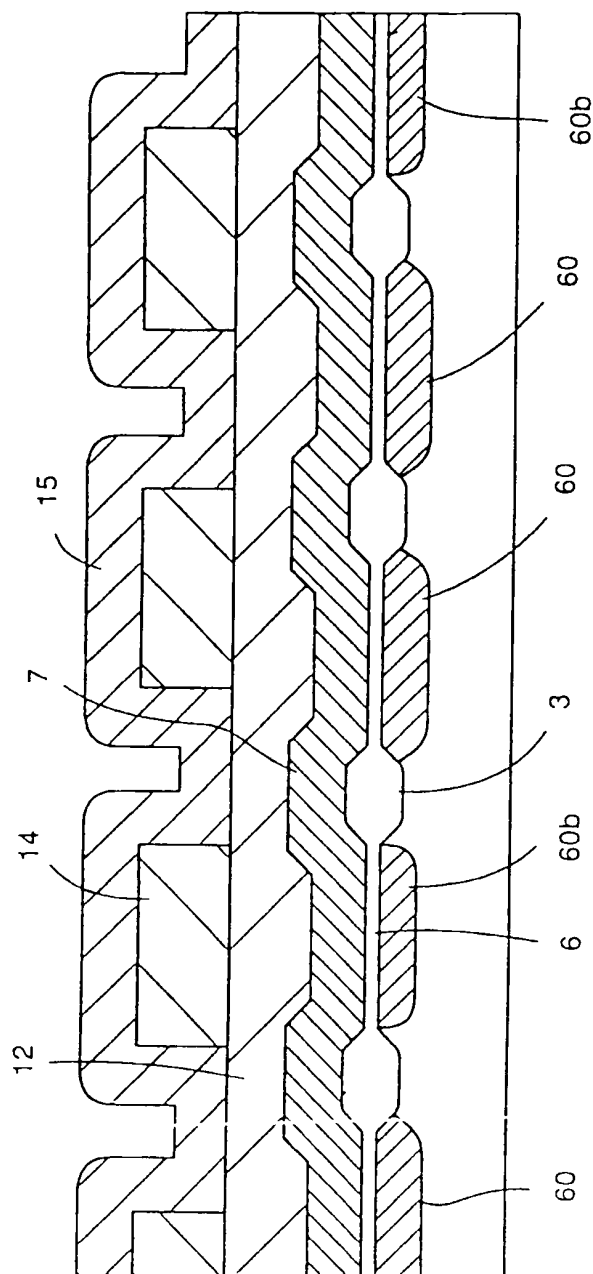
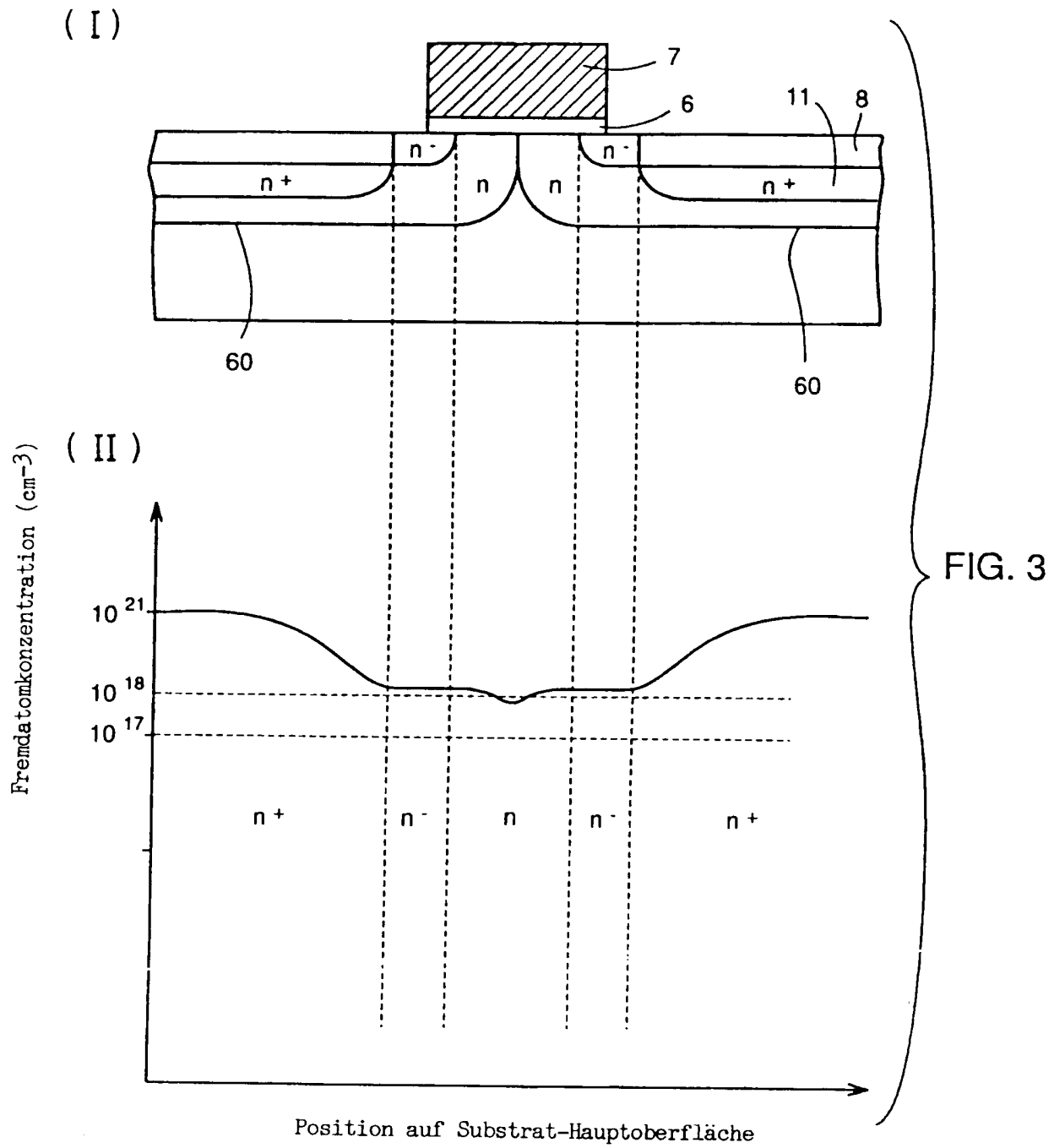
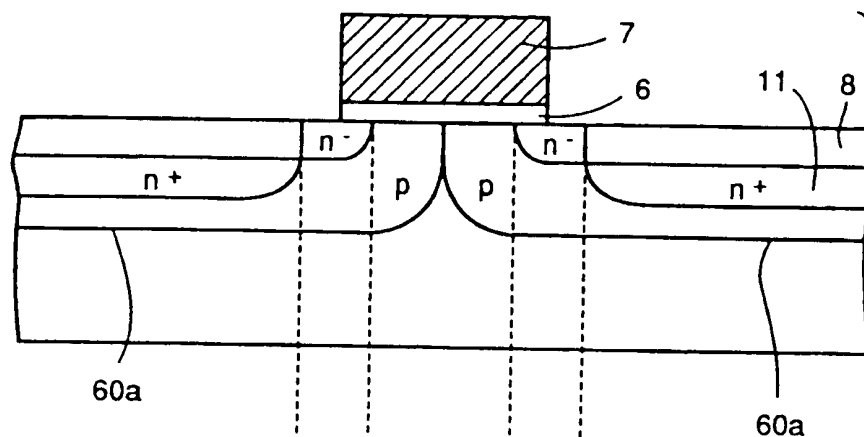


FIG. 2





(I)



Fremdatomkonzentration (cm^{-3})

(II)

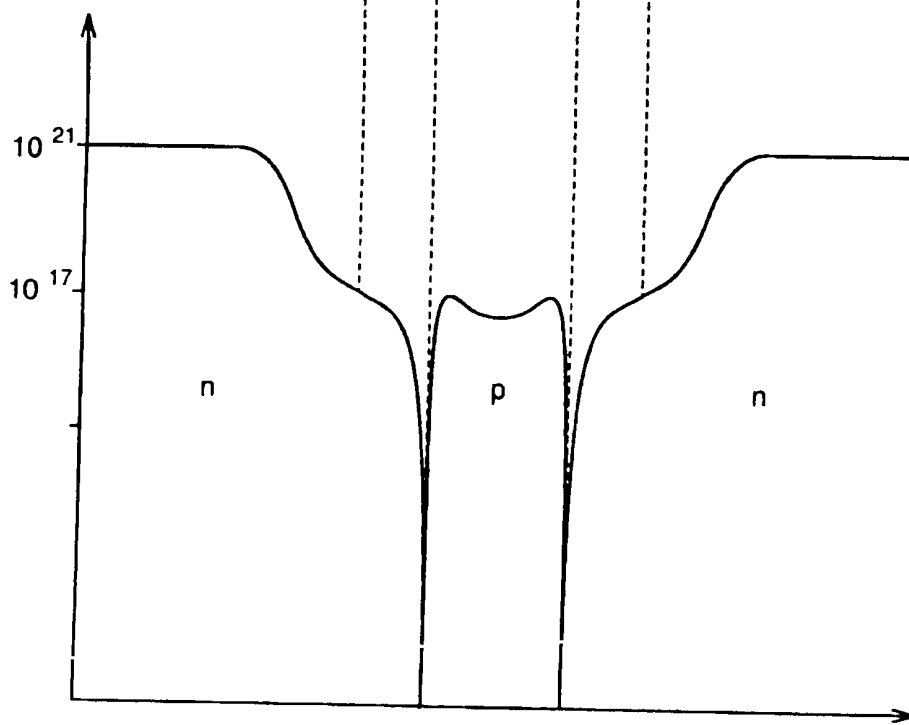


FIG. 4

Position auf Substrat-Hauptoberfläche

FIG. 5

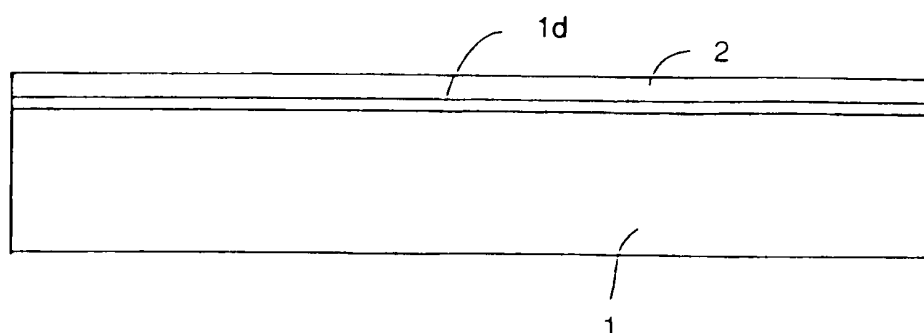


FIG. 6

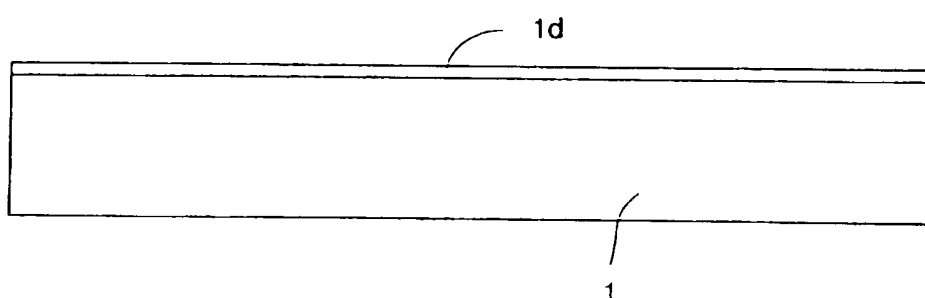


FIG. 7

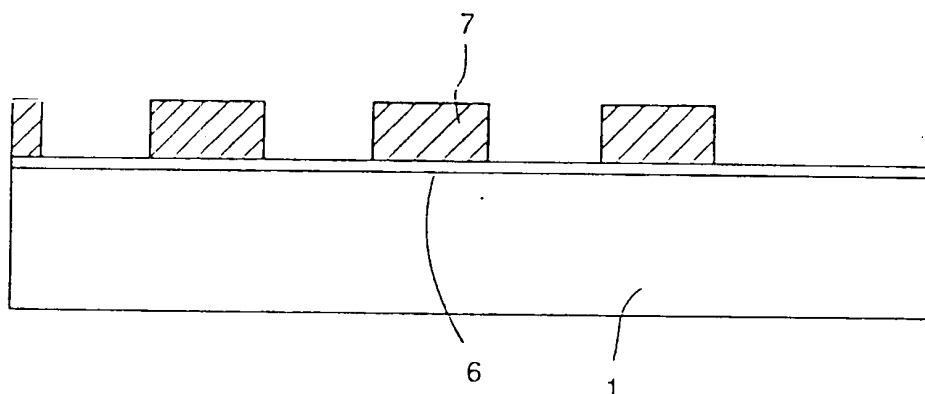


FIG. 8

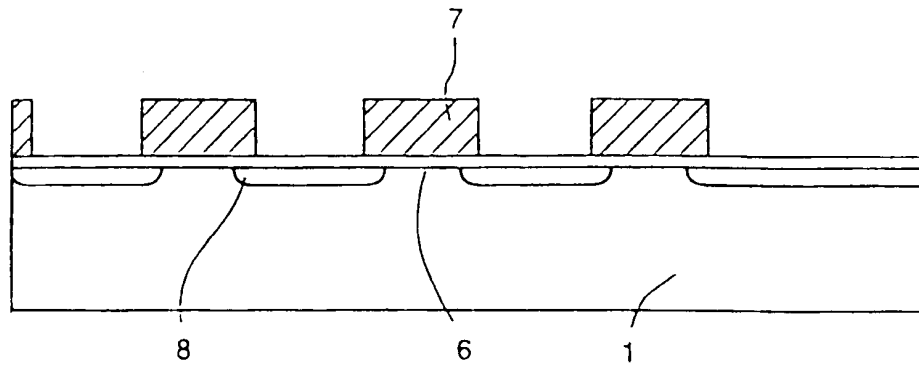


FIG. 9

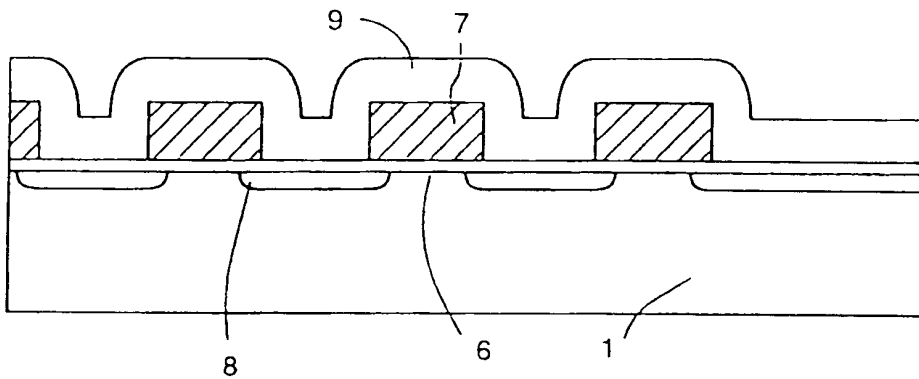


FIG. 10

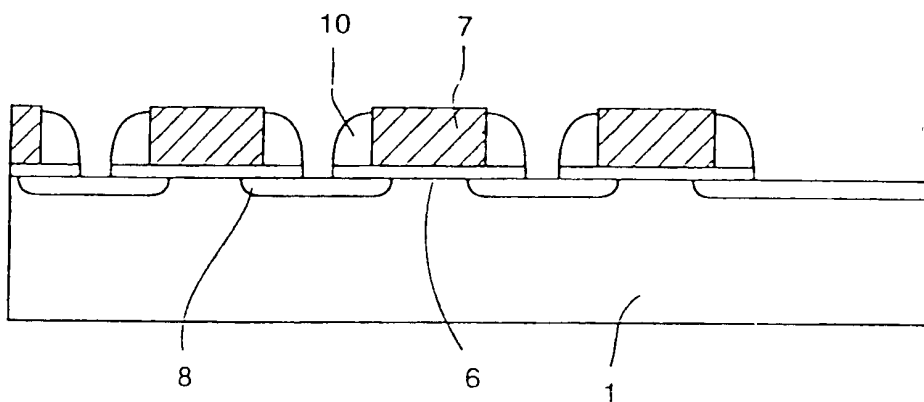


FIG. 11

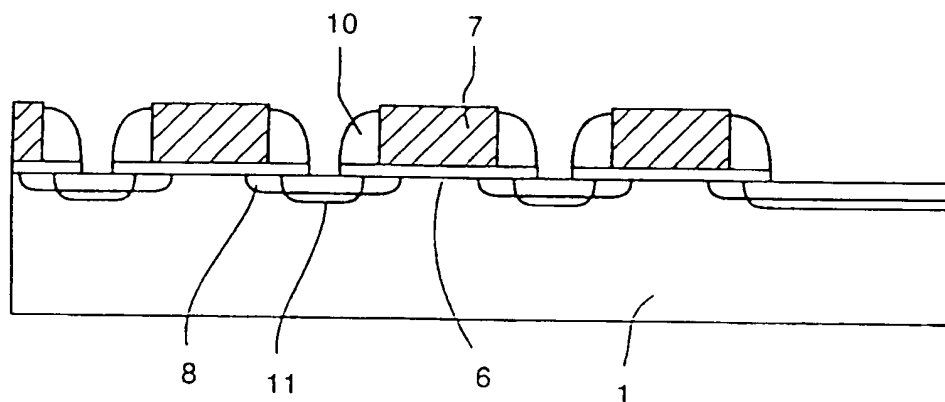


FIG. 12

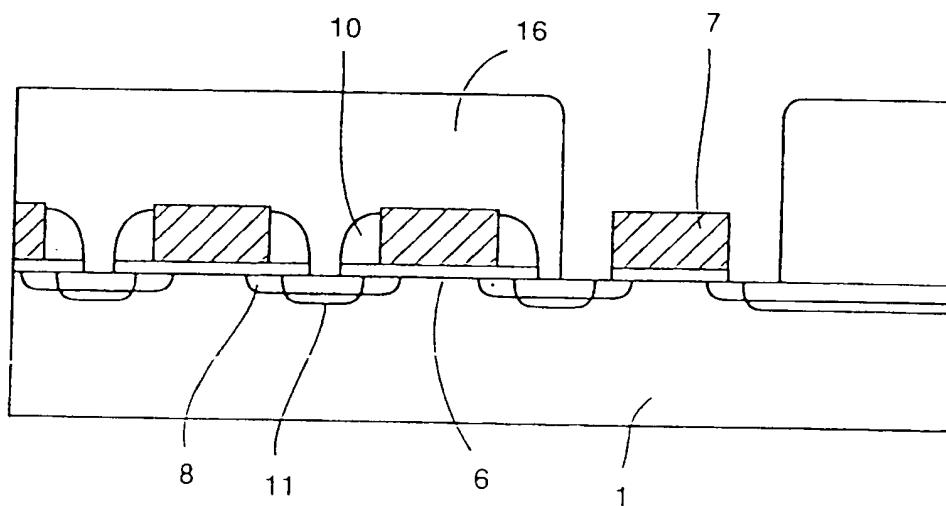


FIG. 13

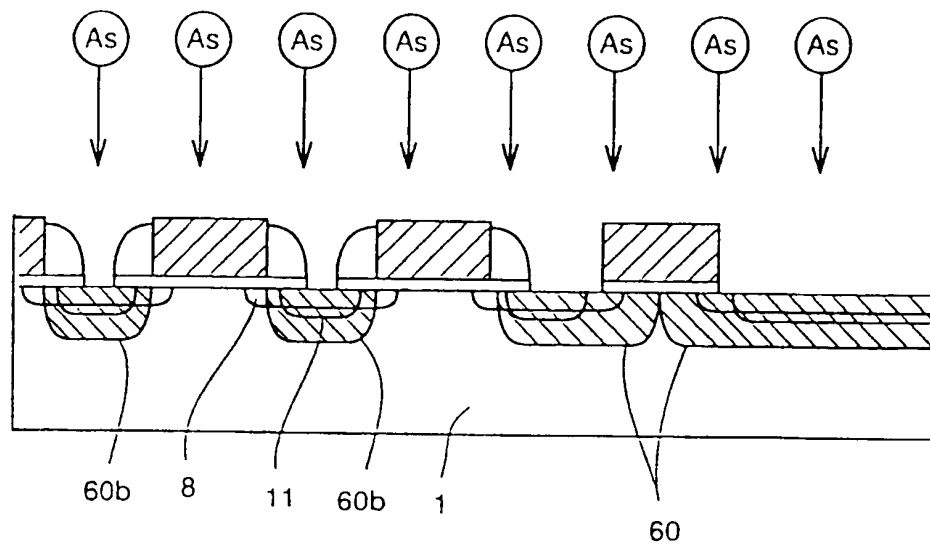


FIG. 14

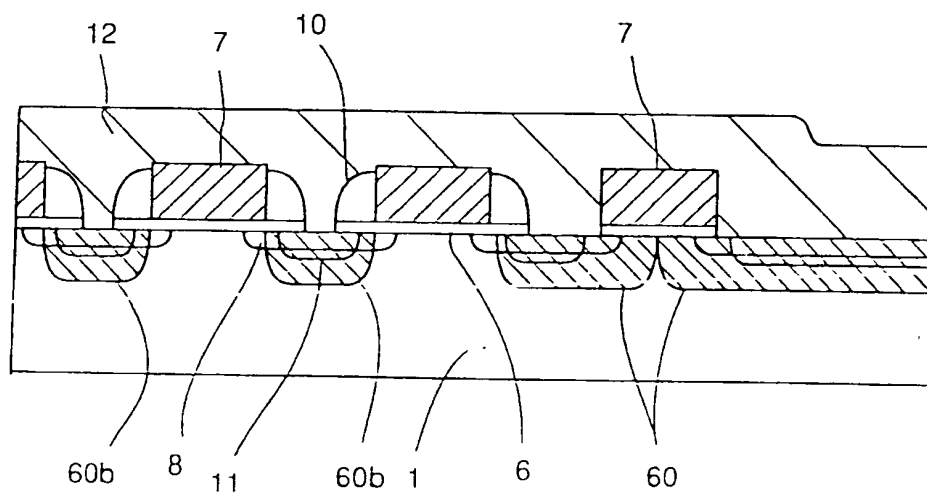


FIG. 15

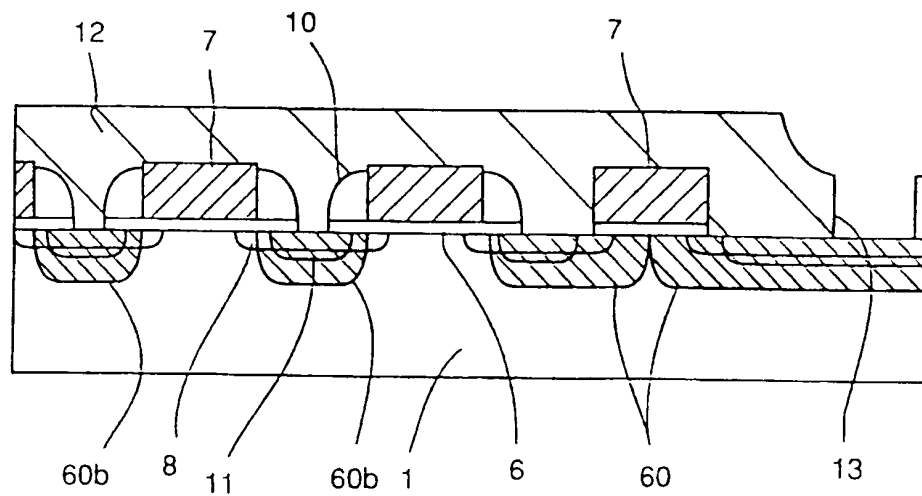


FIG. 16

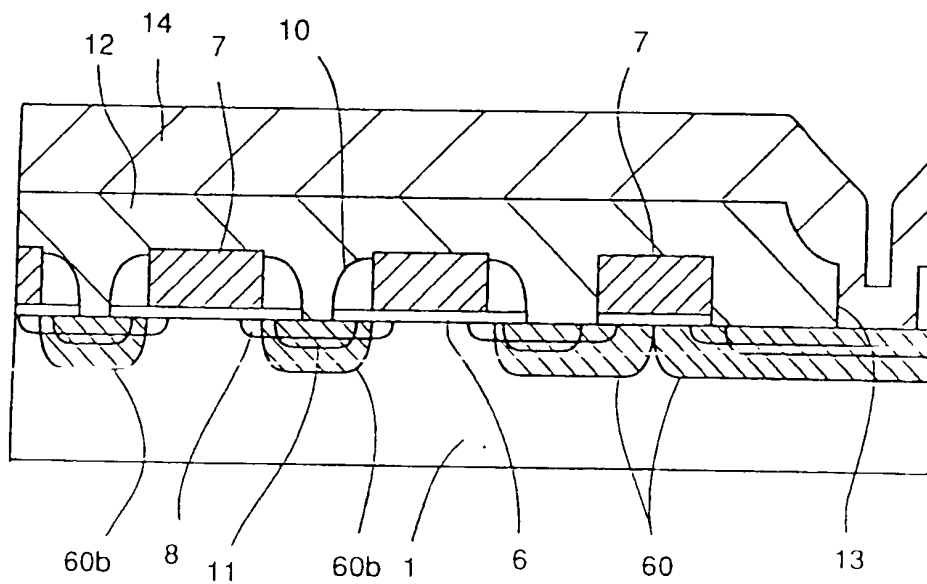


FIG. 17

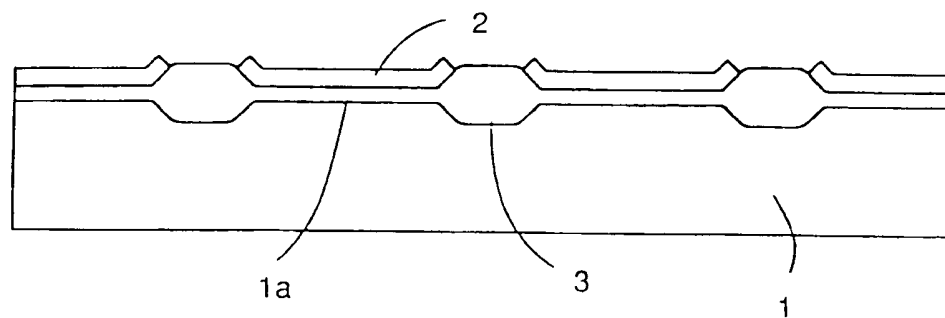


FIG. 18

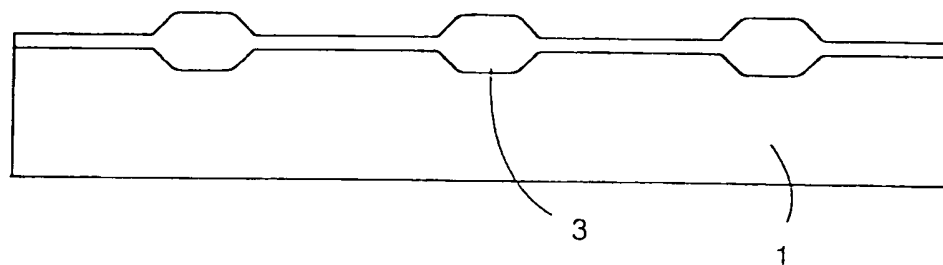


FIG. 19

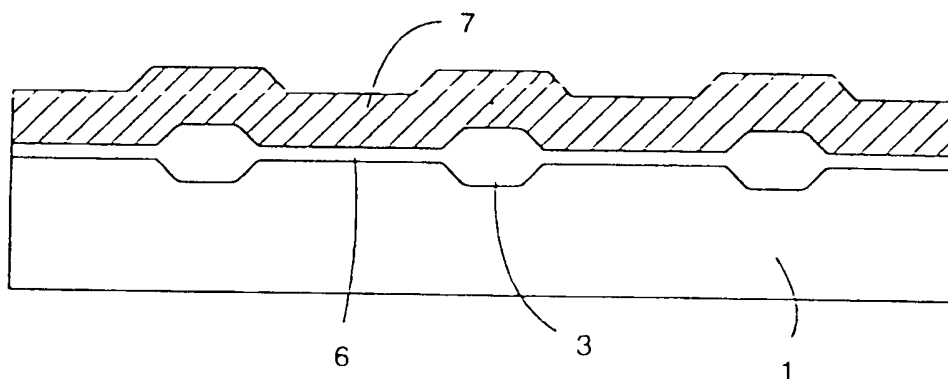


FIG. 20

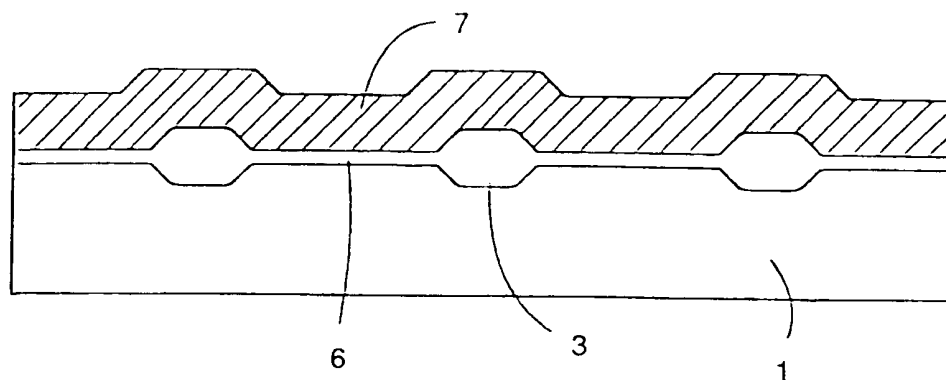


FIG. 21

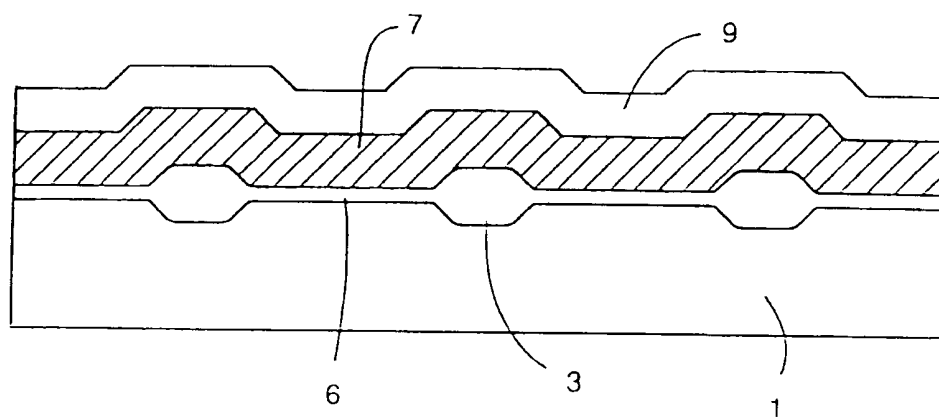


FIG. 22

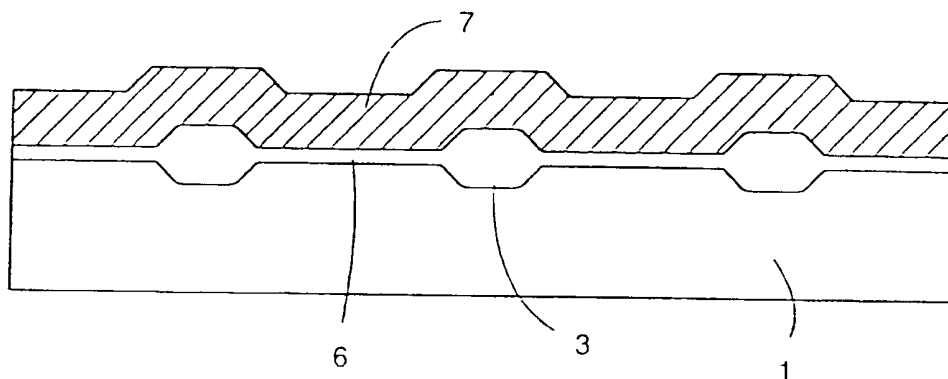


FIG. 23

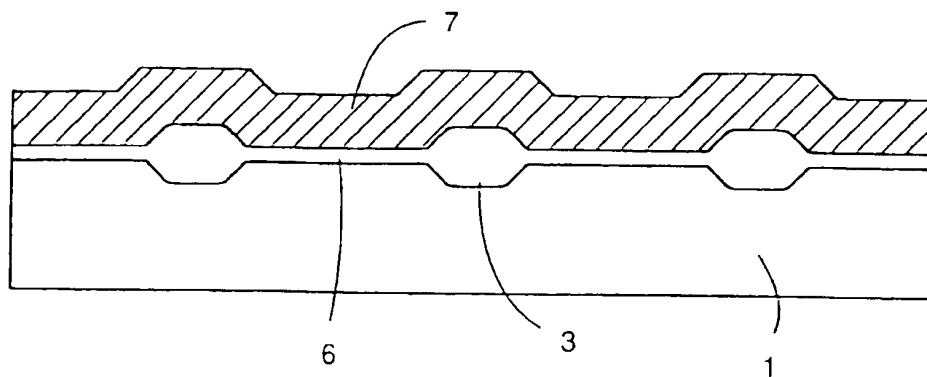


FIG. 24

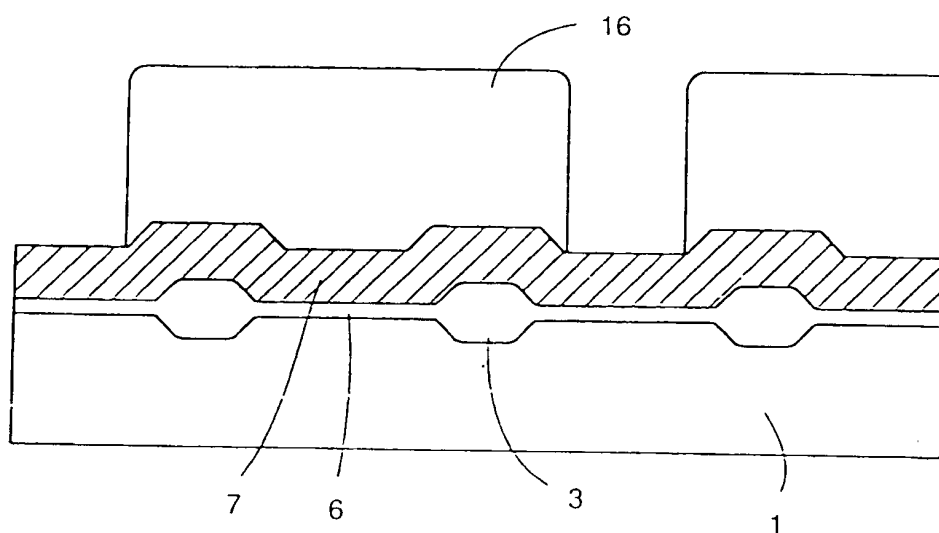


FIG. 25

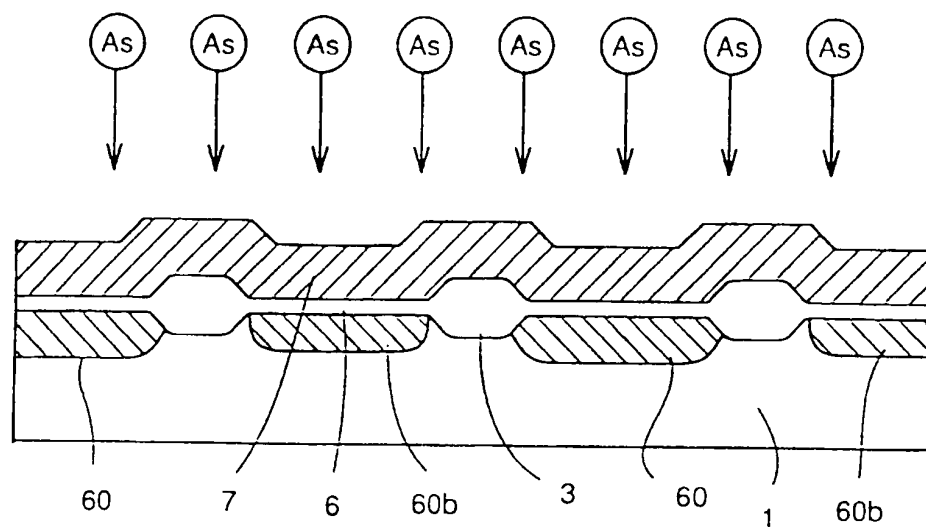


FIG. 26

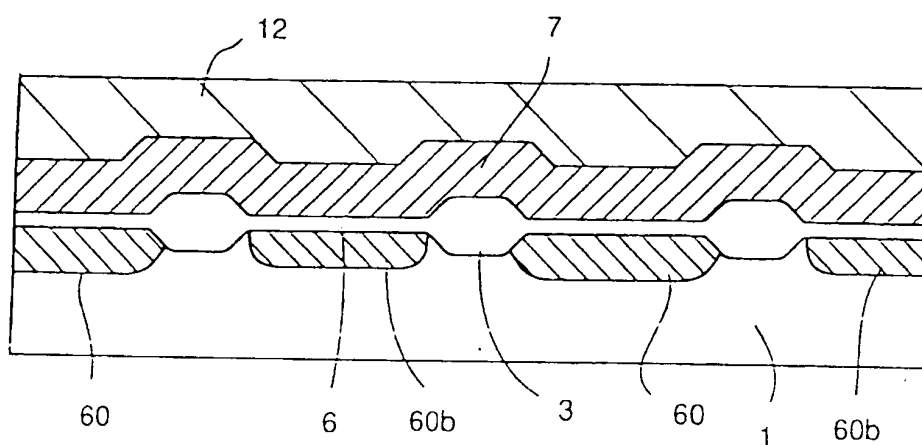


FIG. 27

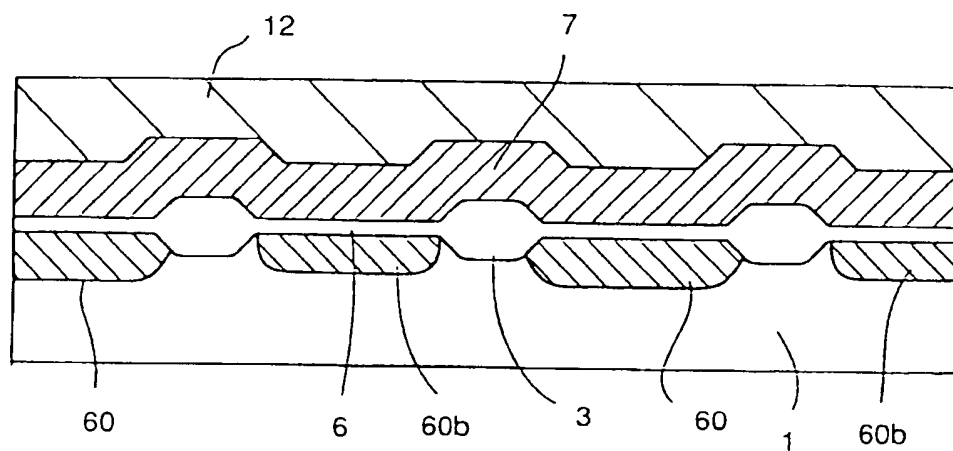


FIG. 28

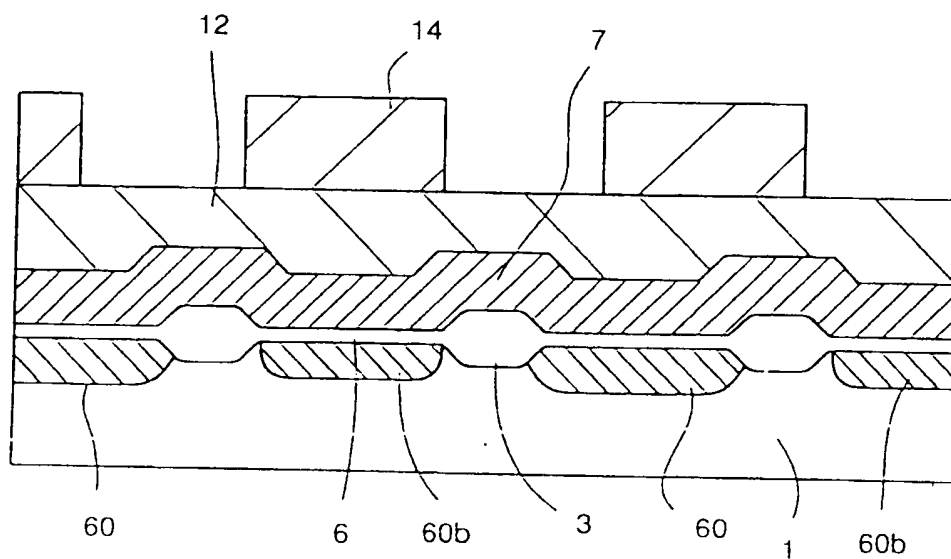


FIG. 29

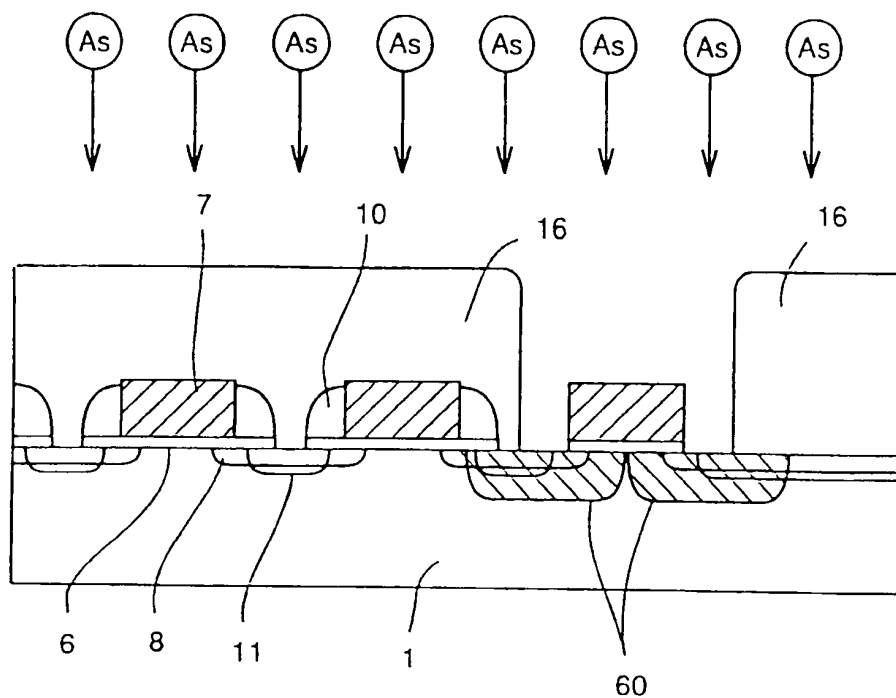


FIG. 30

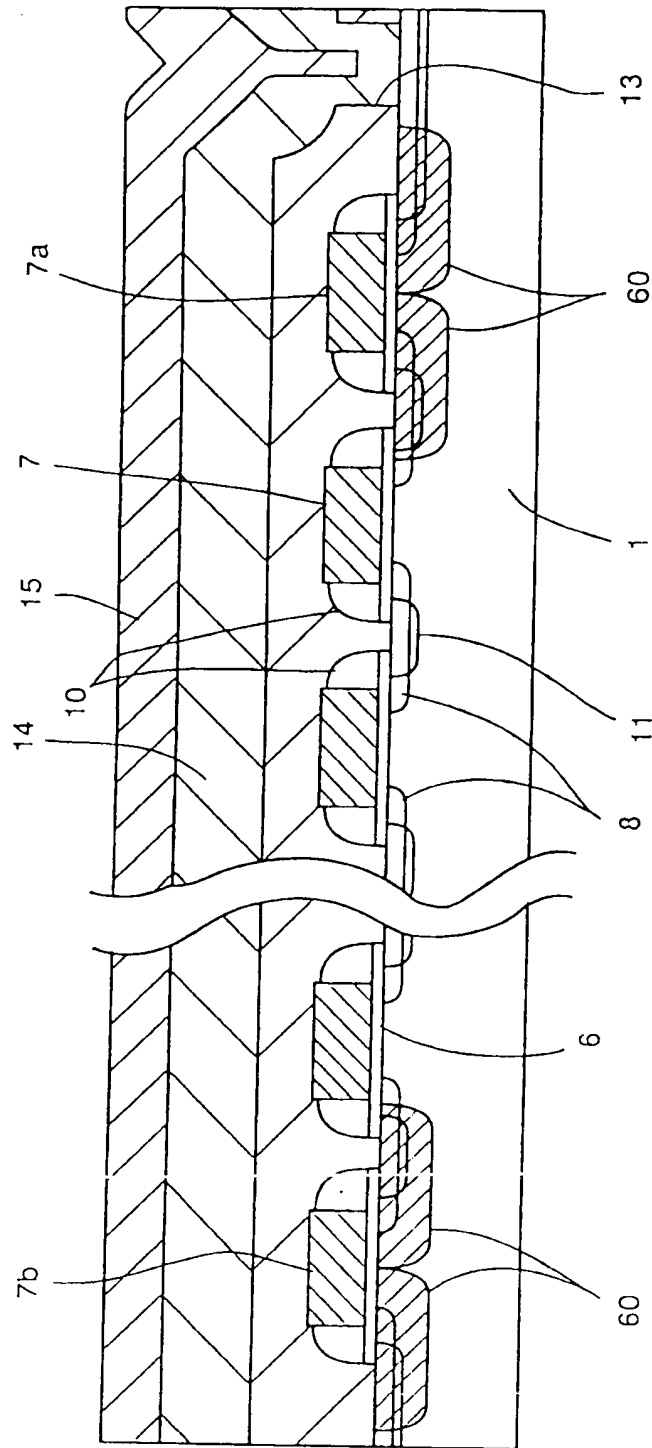


FIG. 31

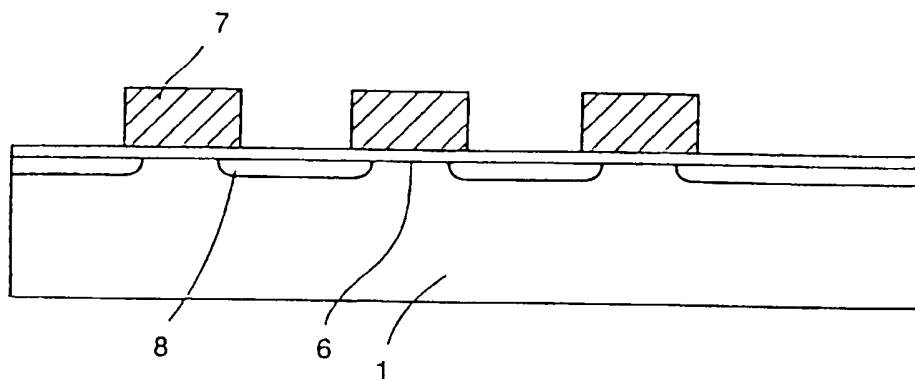


FIG. 32

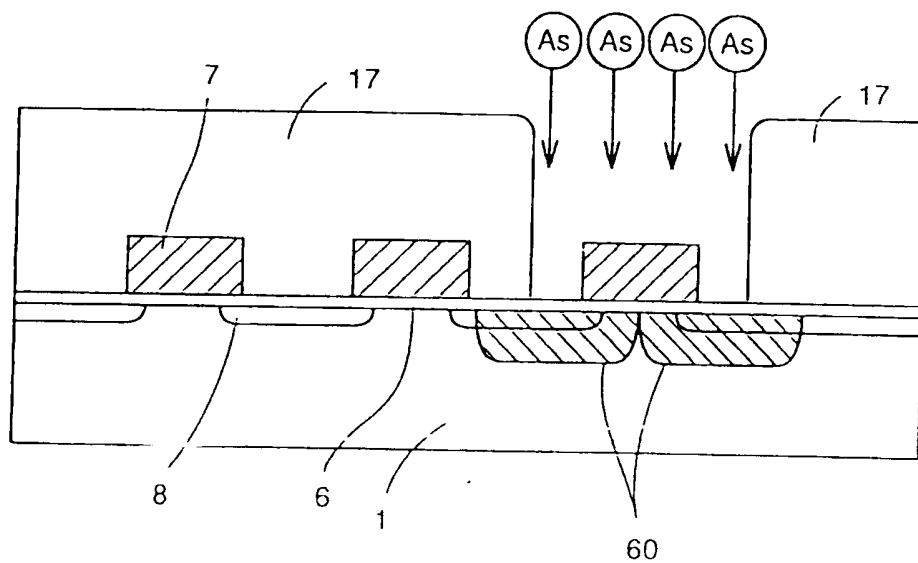


FIG. 33

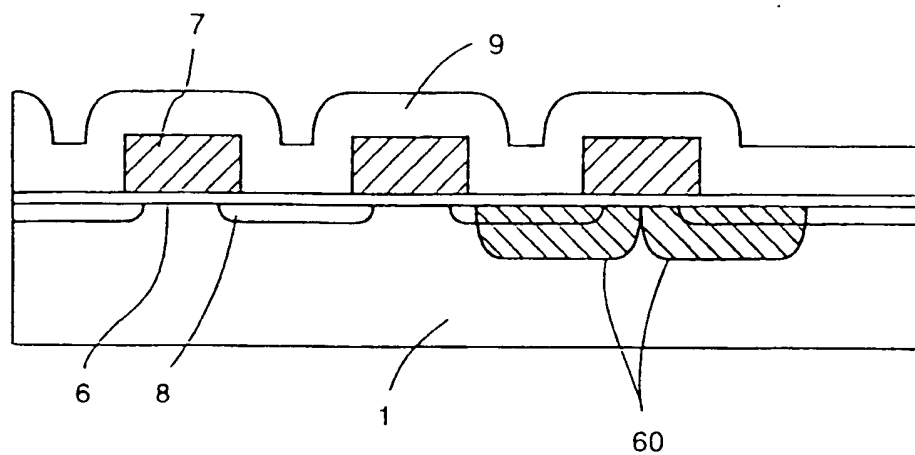


FIG. 34

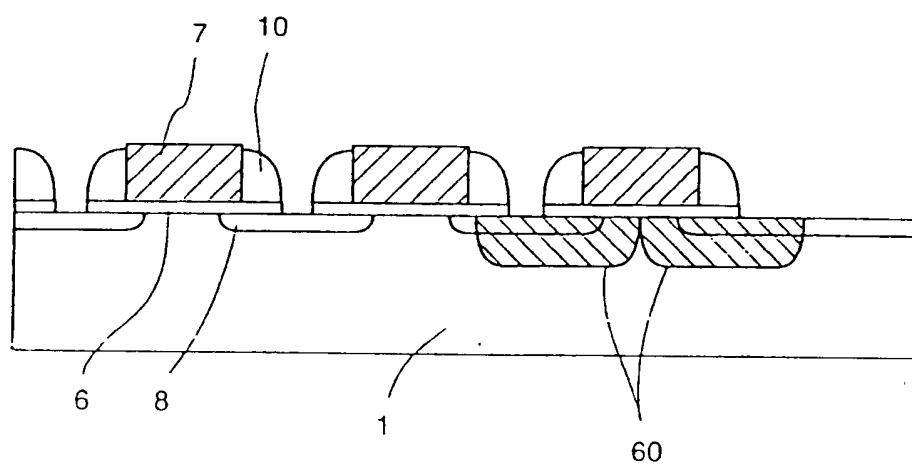


FIG. 35

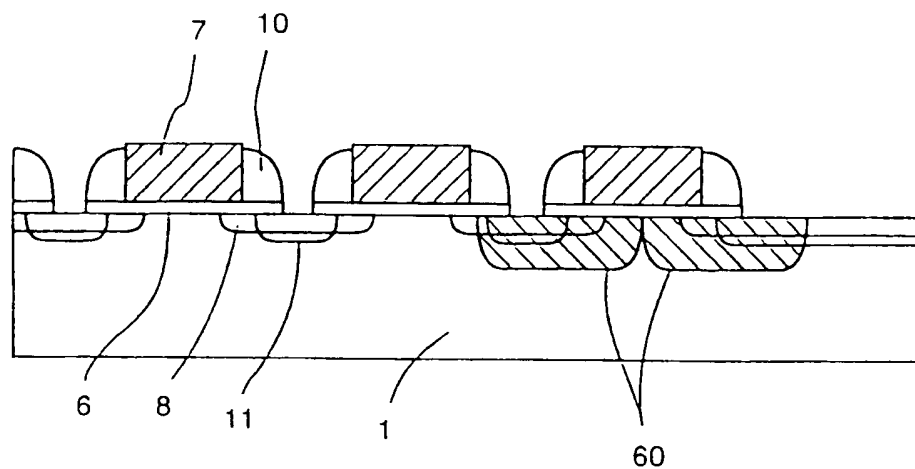


FIG. 36

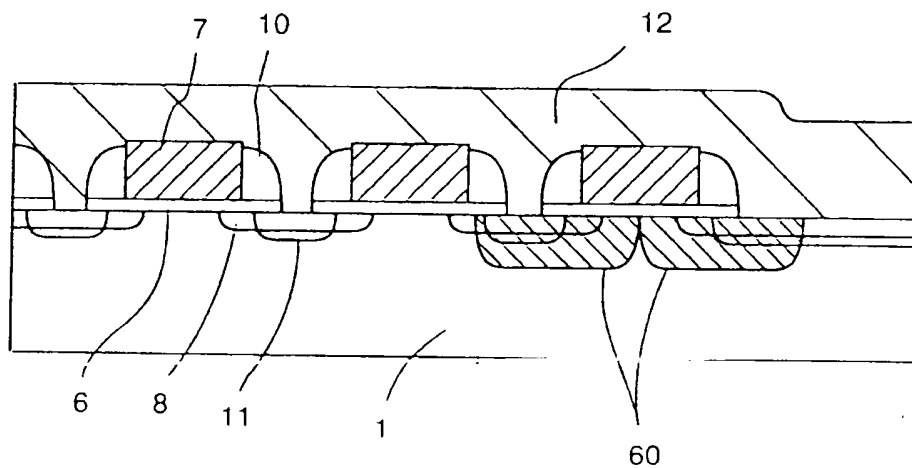


FIG. 37

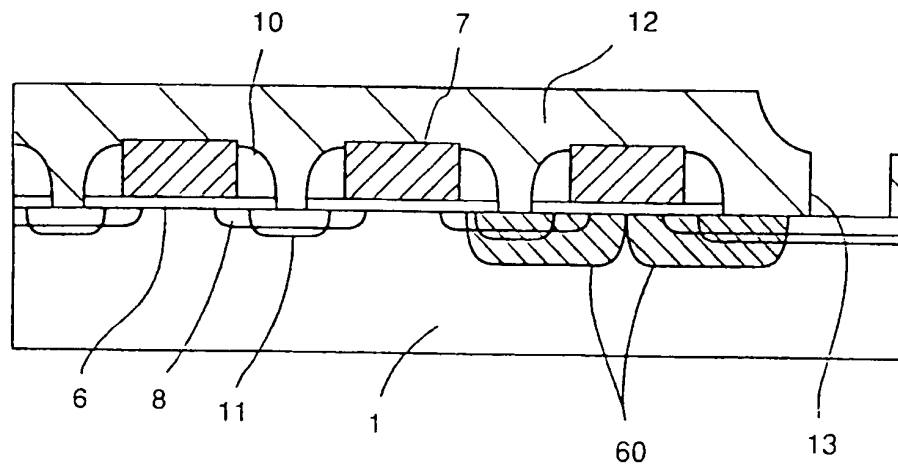


FIG. 38

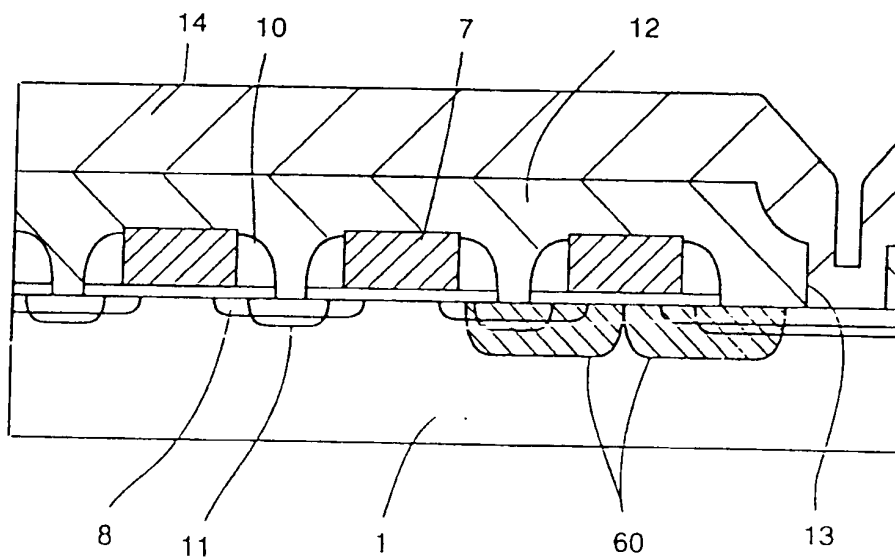
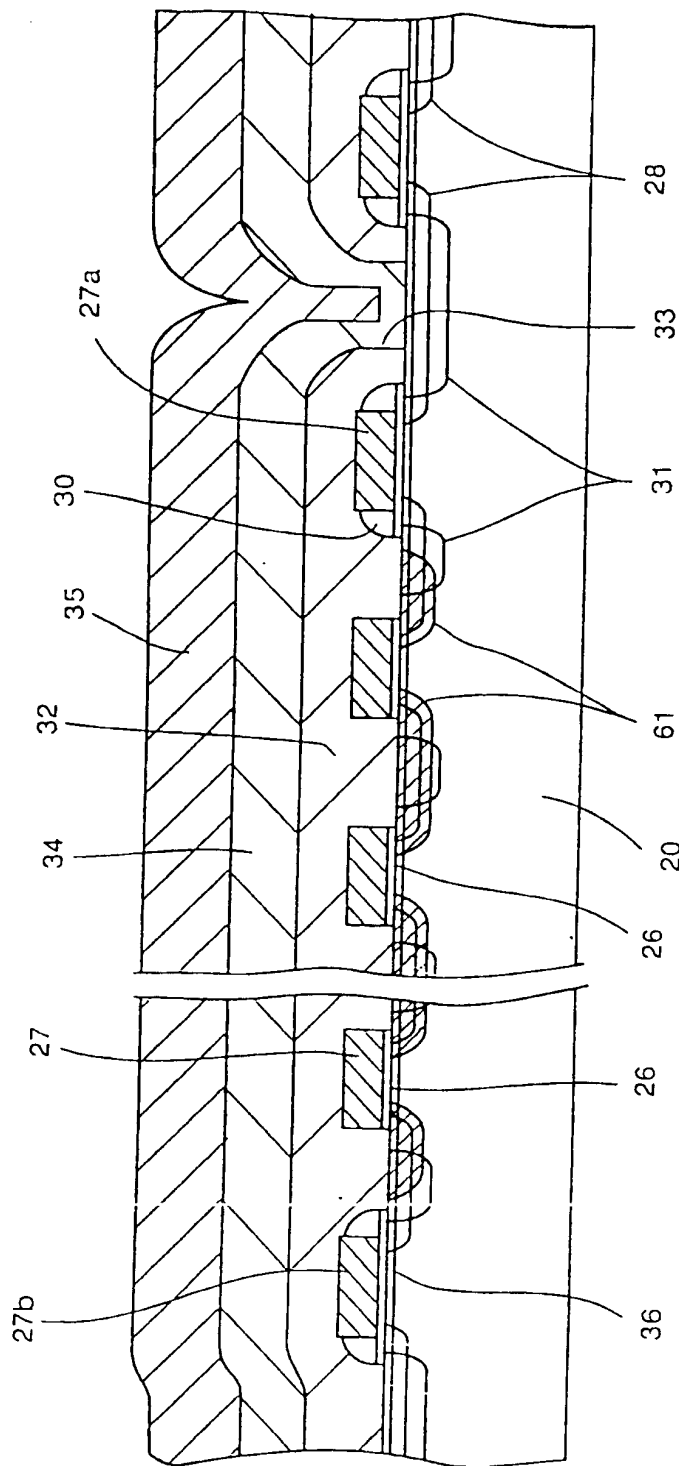


FIG. 39



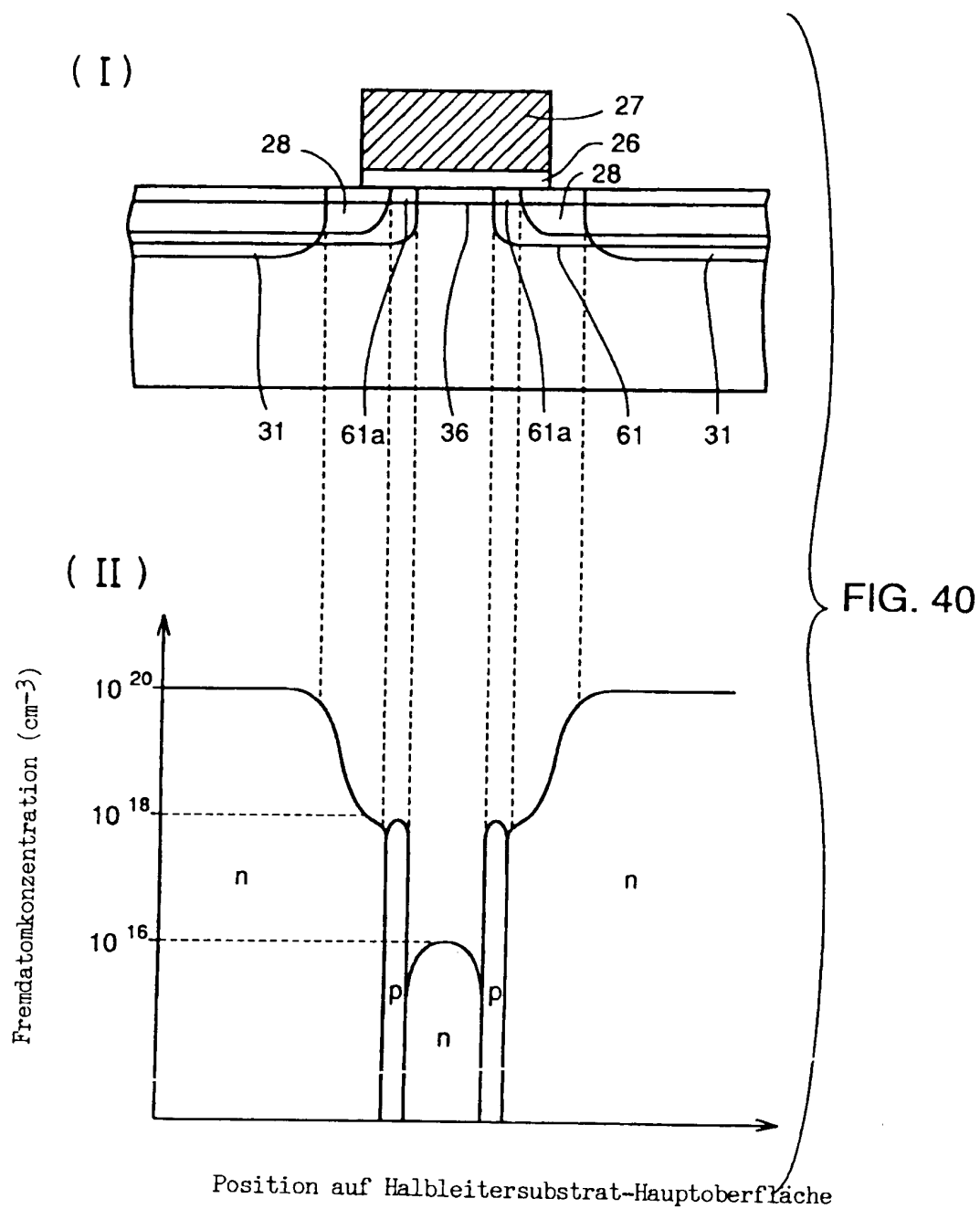


FIG. 41

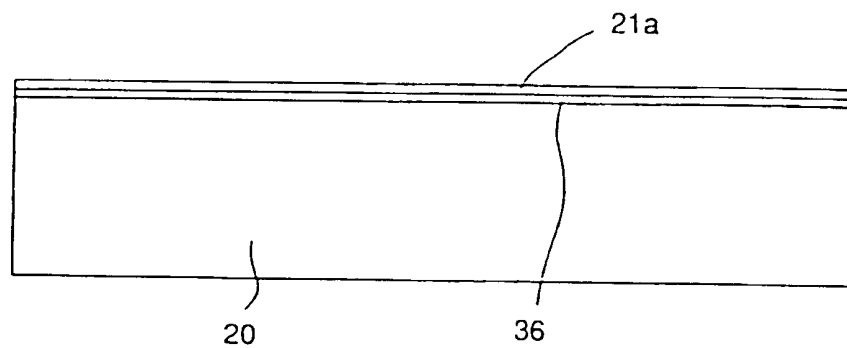


FIG. 42

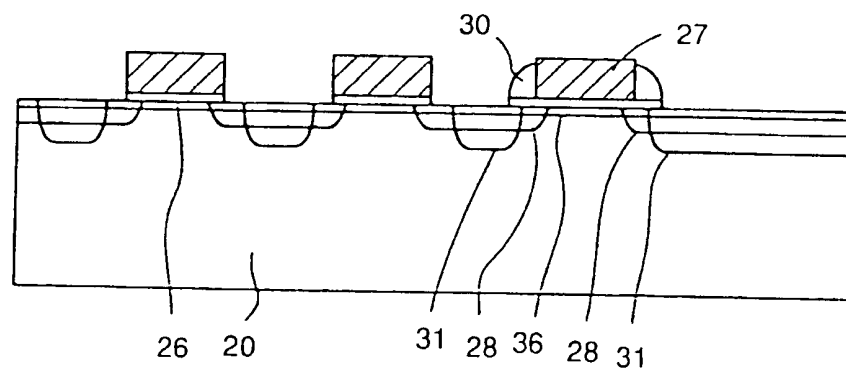


FIG. 43

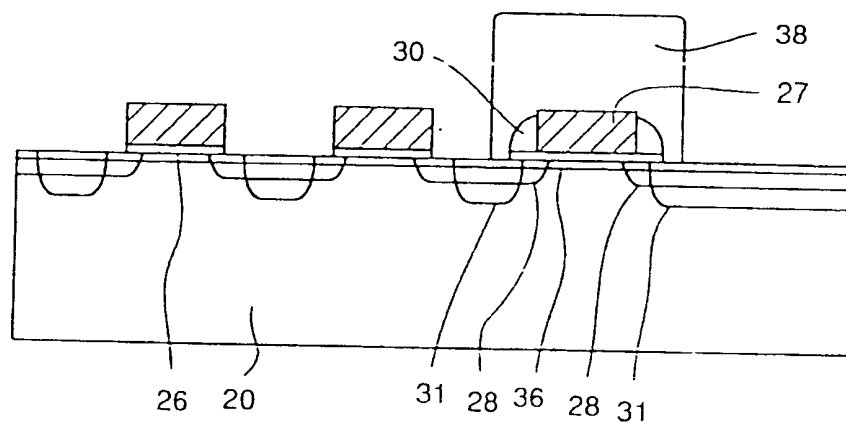


FIG. 44

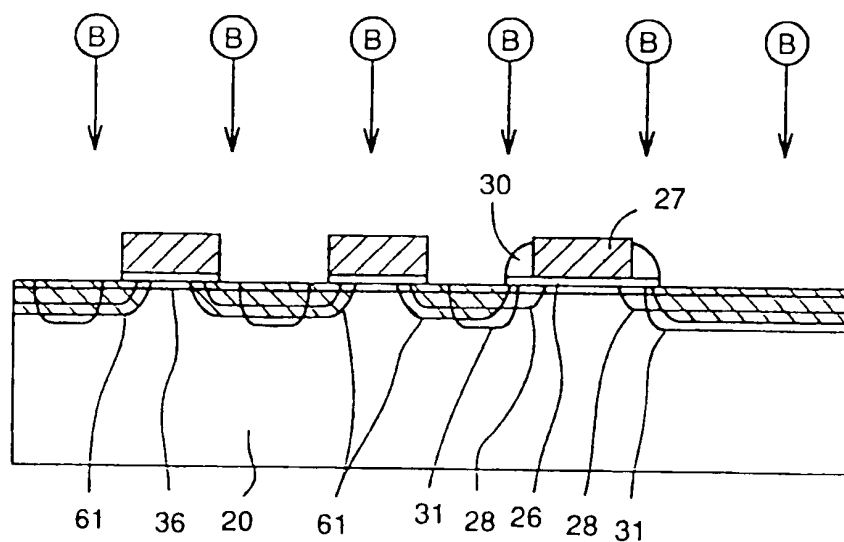


FIG. 45

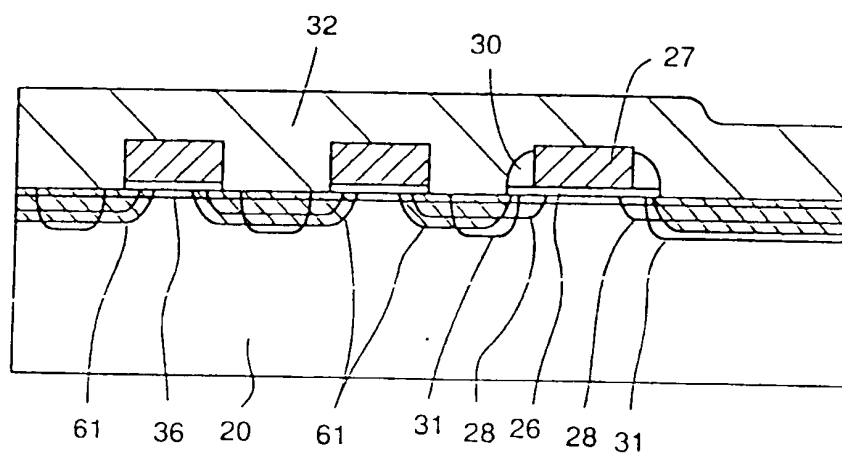


FIG. 46

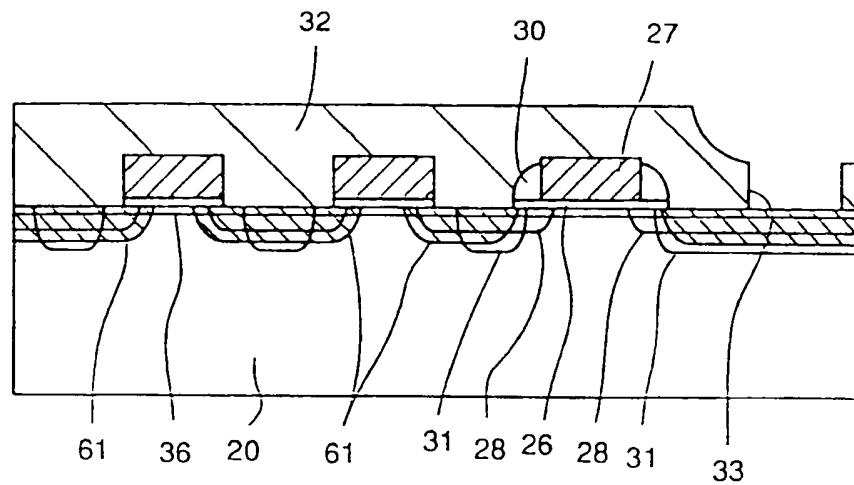


FIG. 47

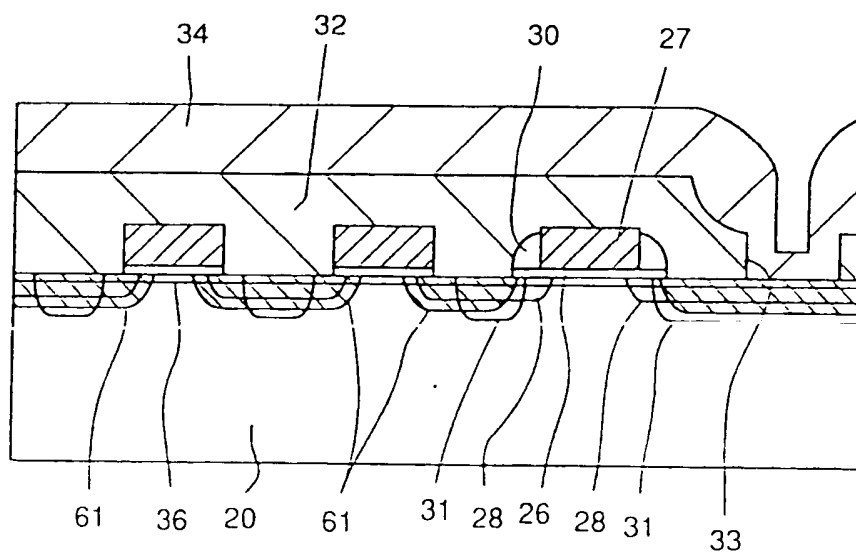


FIG. 48

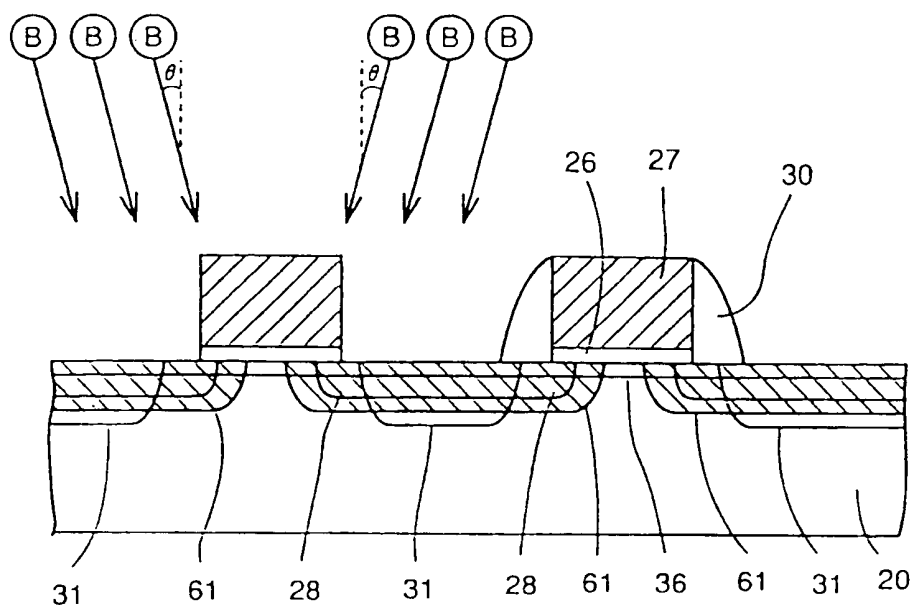


FIG. 49

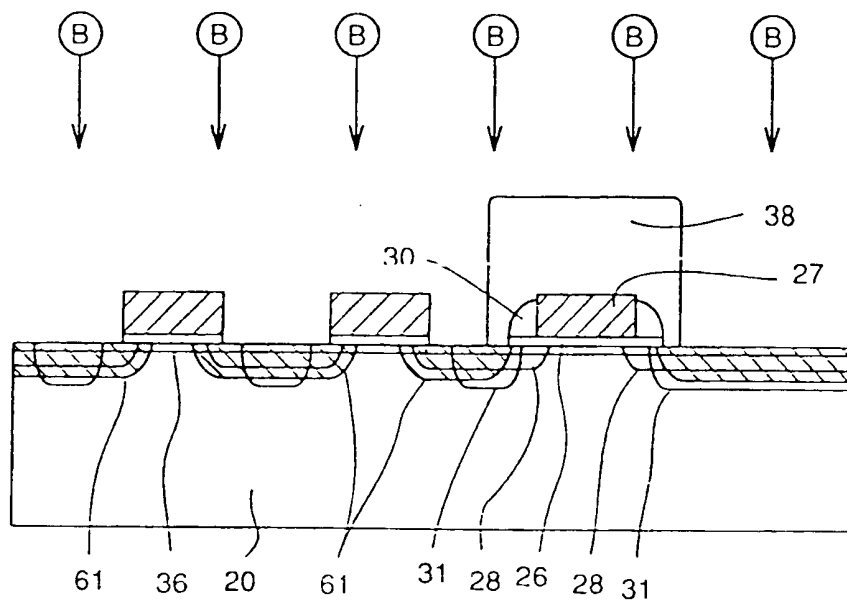


FIG. 50

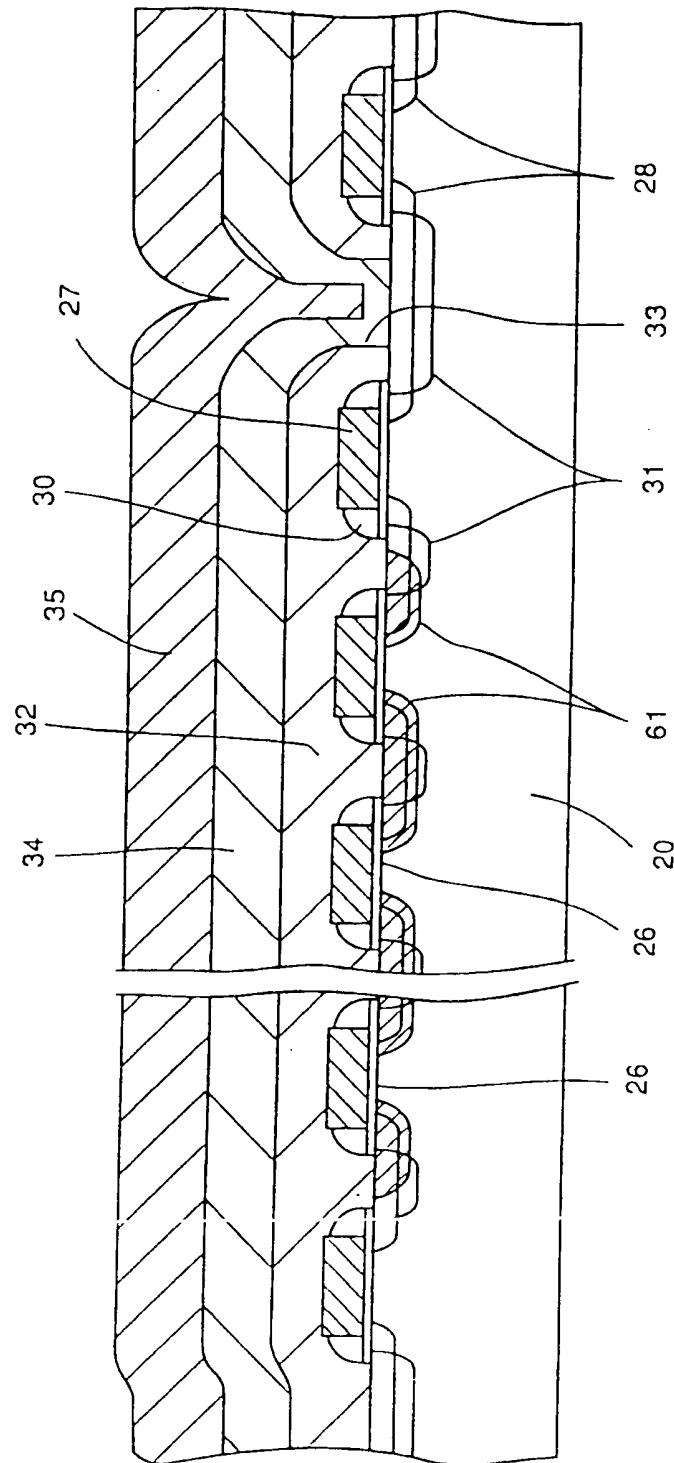


FIG. 51

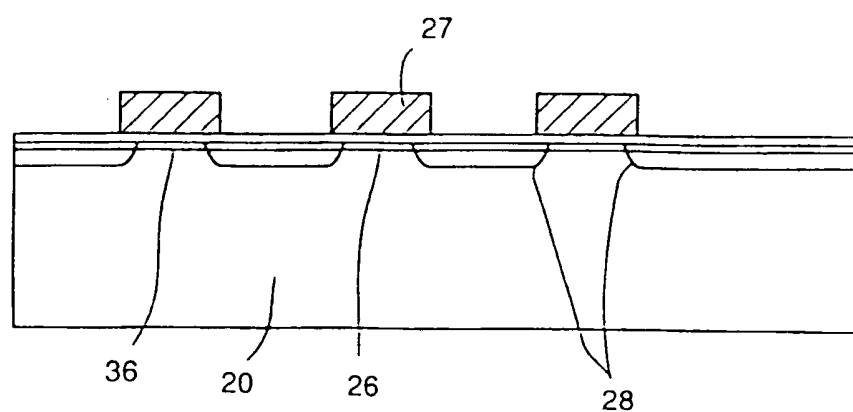


FIG. 52

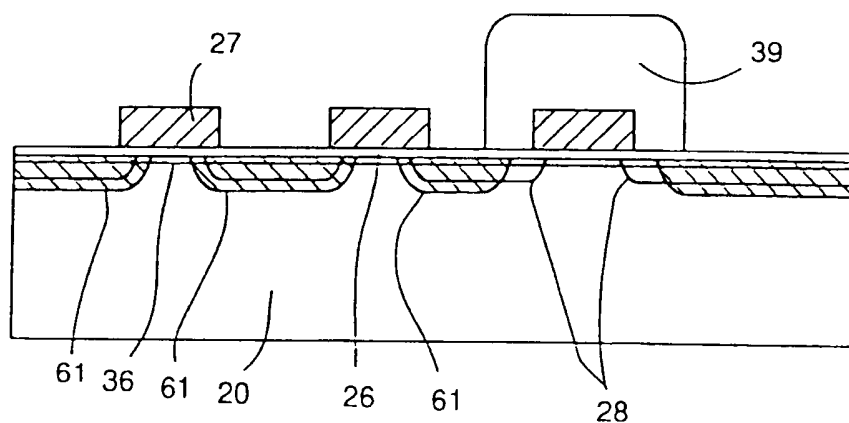


FIG. 53

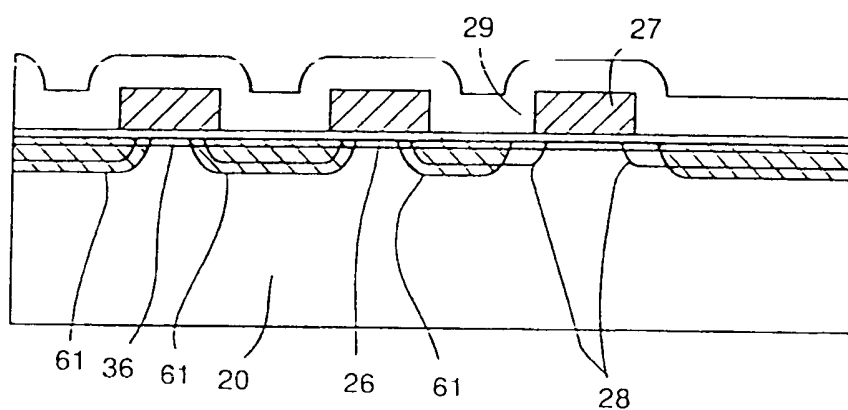


FIG. 54

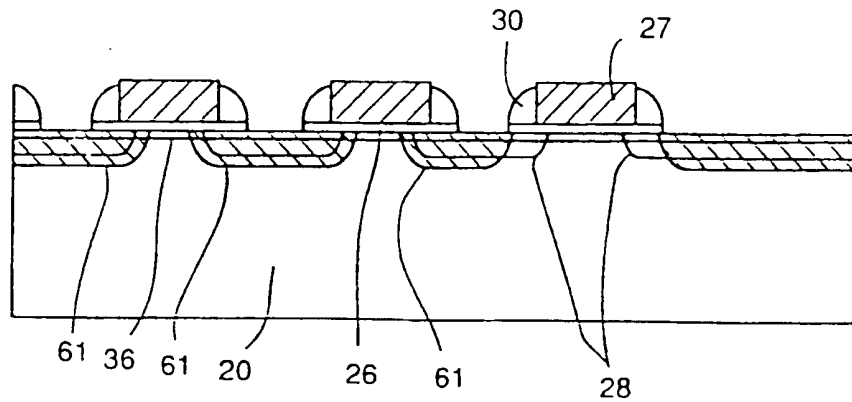


FIG. 55

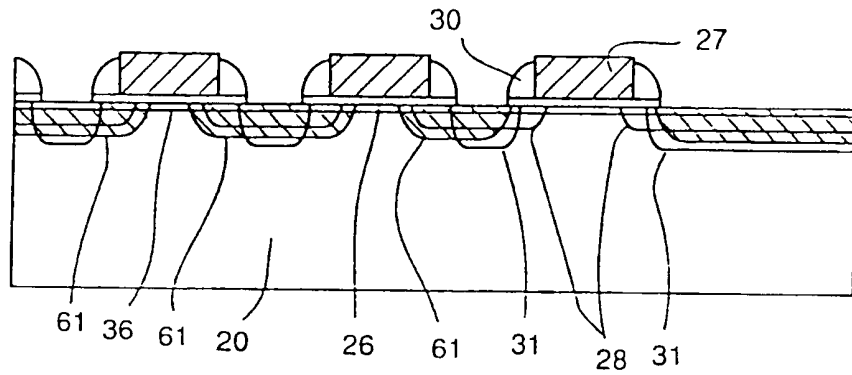


FIG. 56

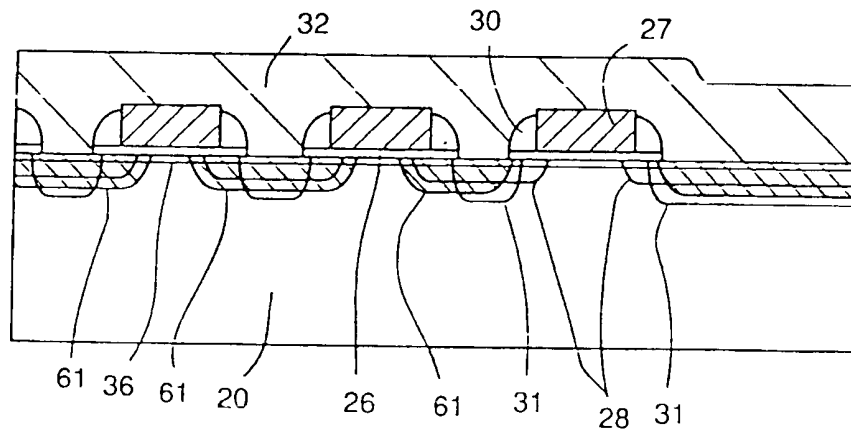


FIG. 57

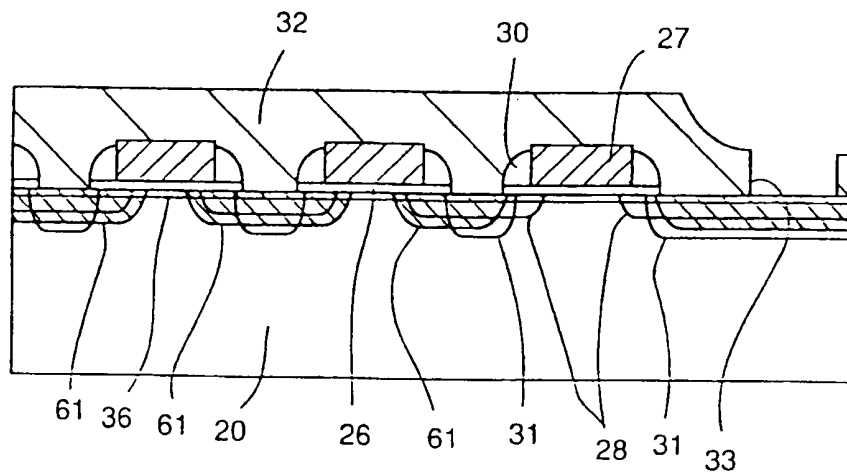


FIG. 58

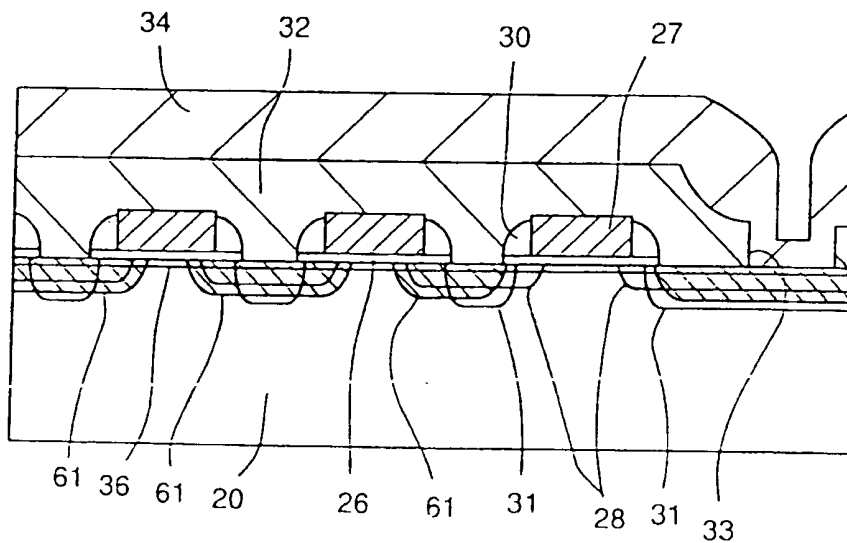


FIG. 59

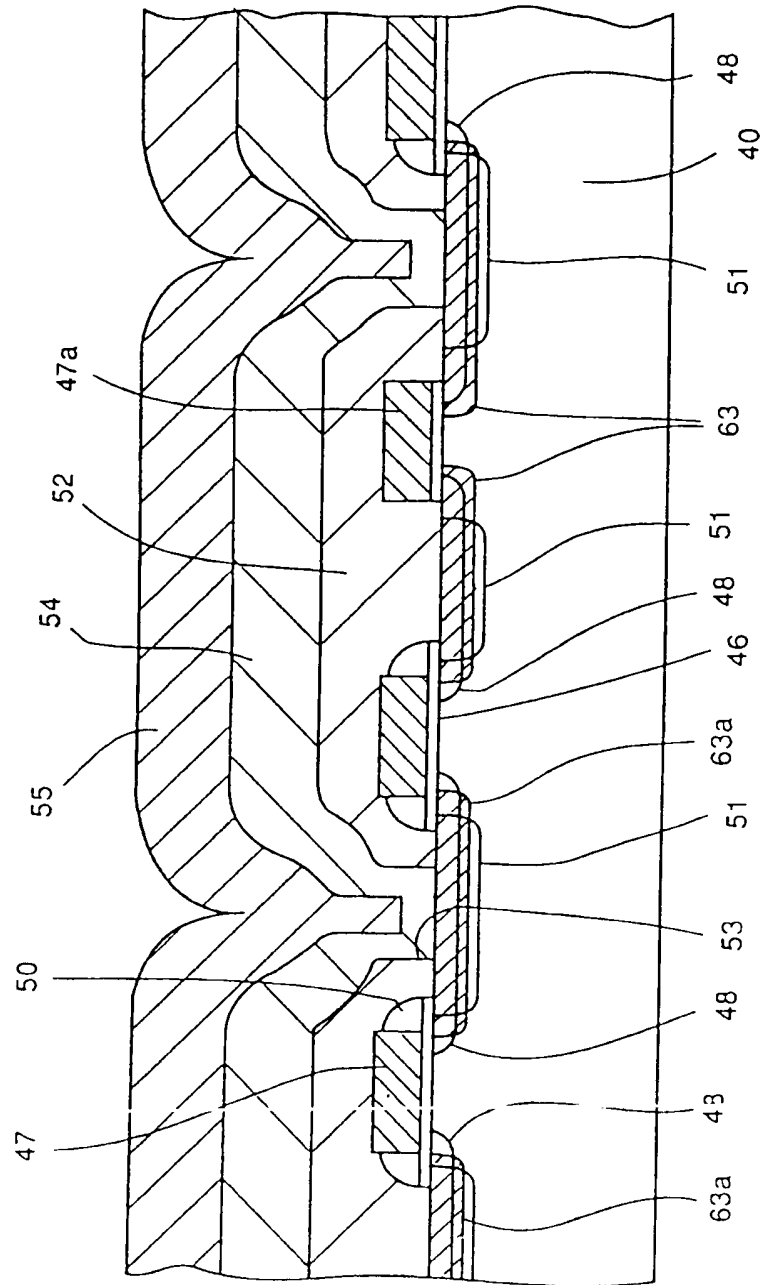


FIG. 60

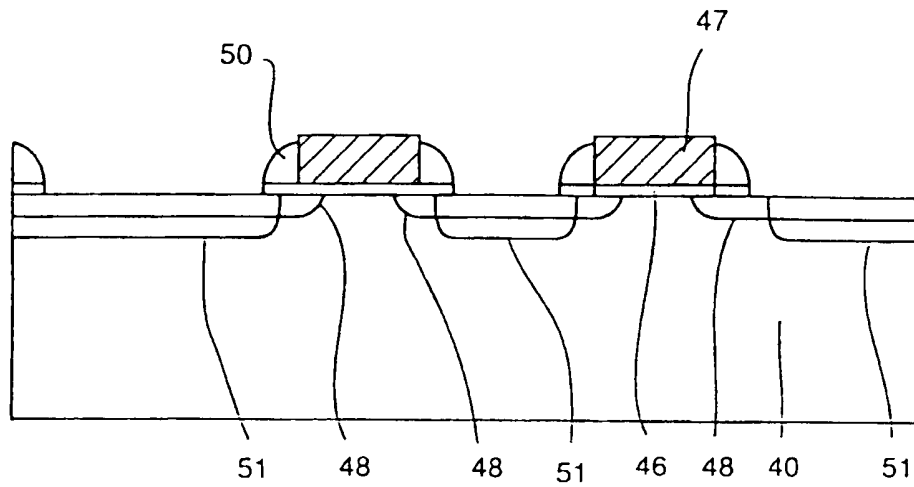


FIG. 61

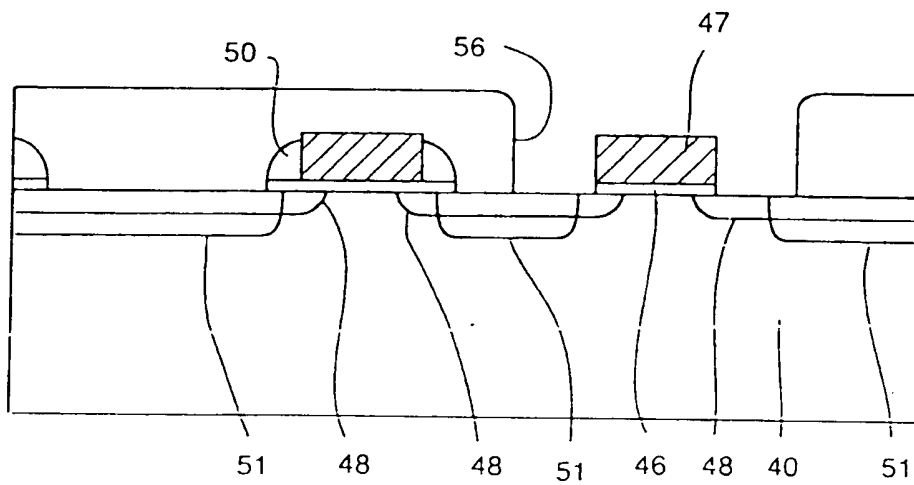


FIG. 62

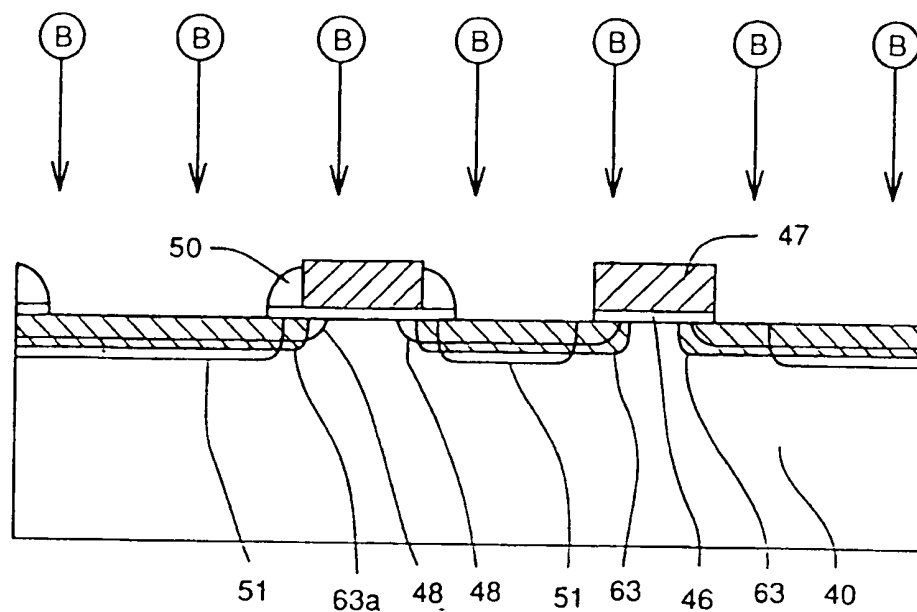


FIG. 63

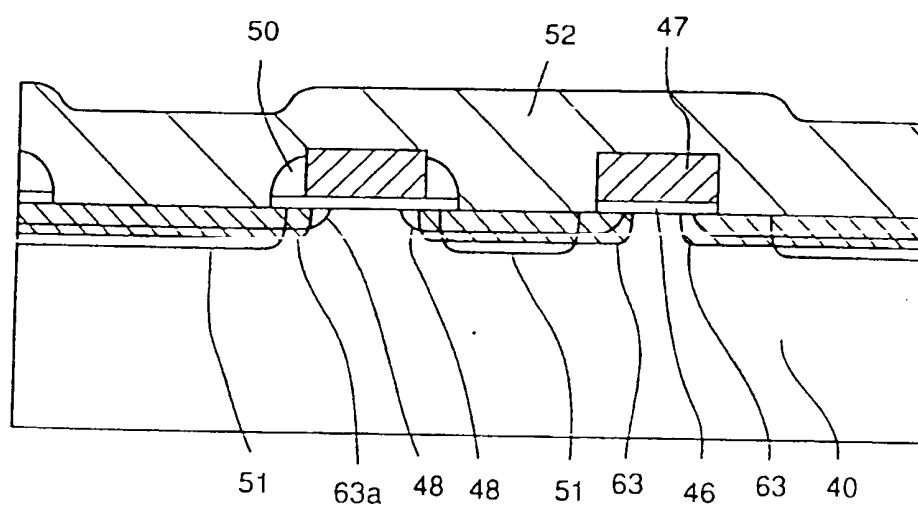


FIG. 64

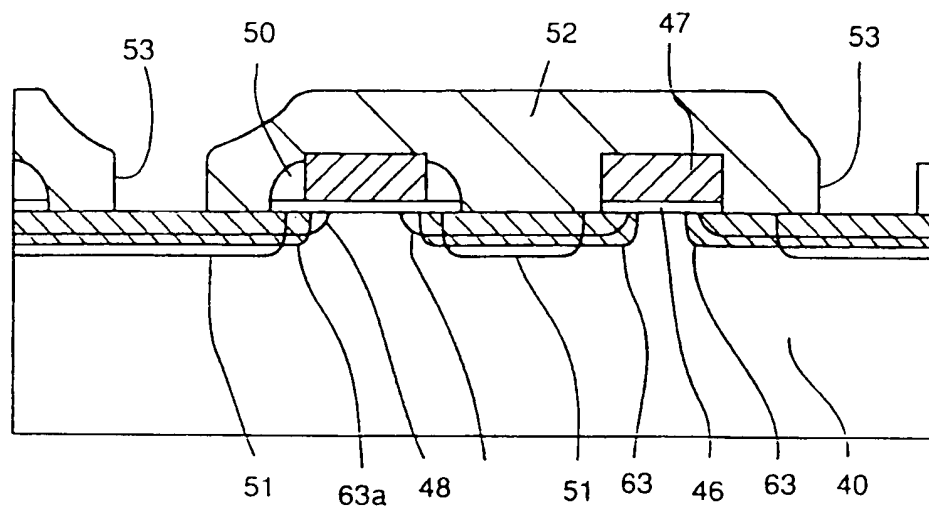


FIG. 65

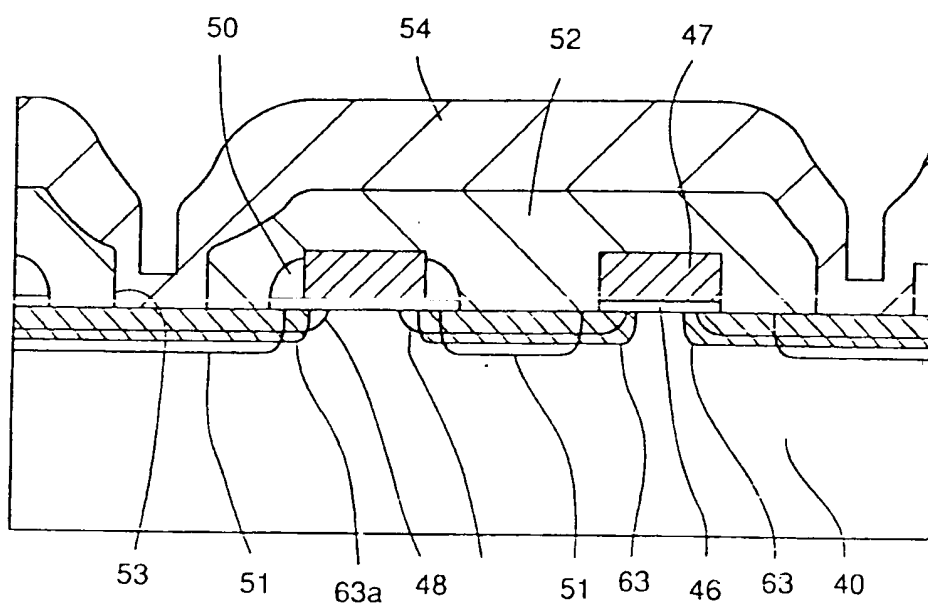


FIG. 66

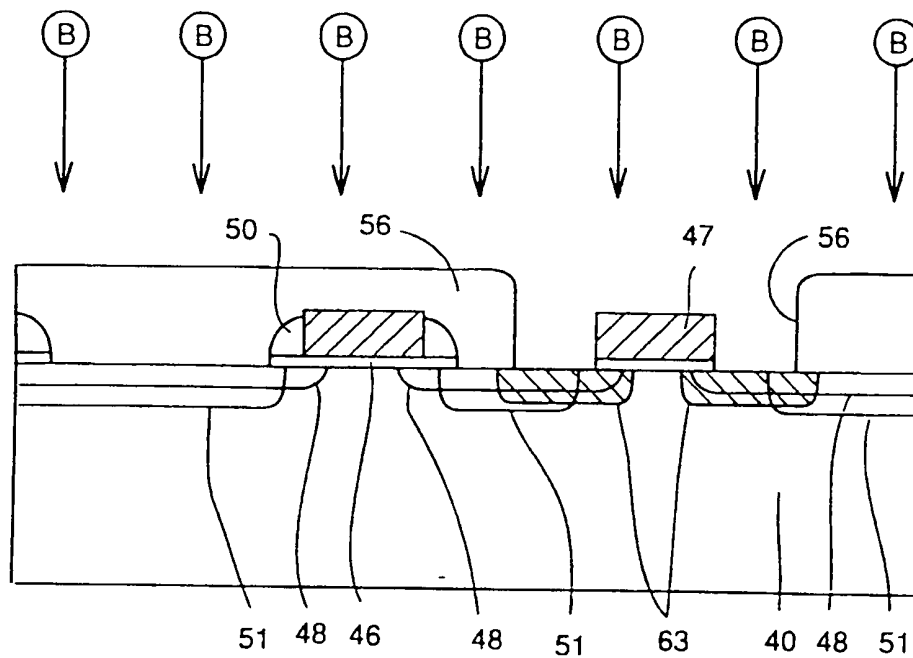


FIG. 67

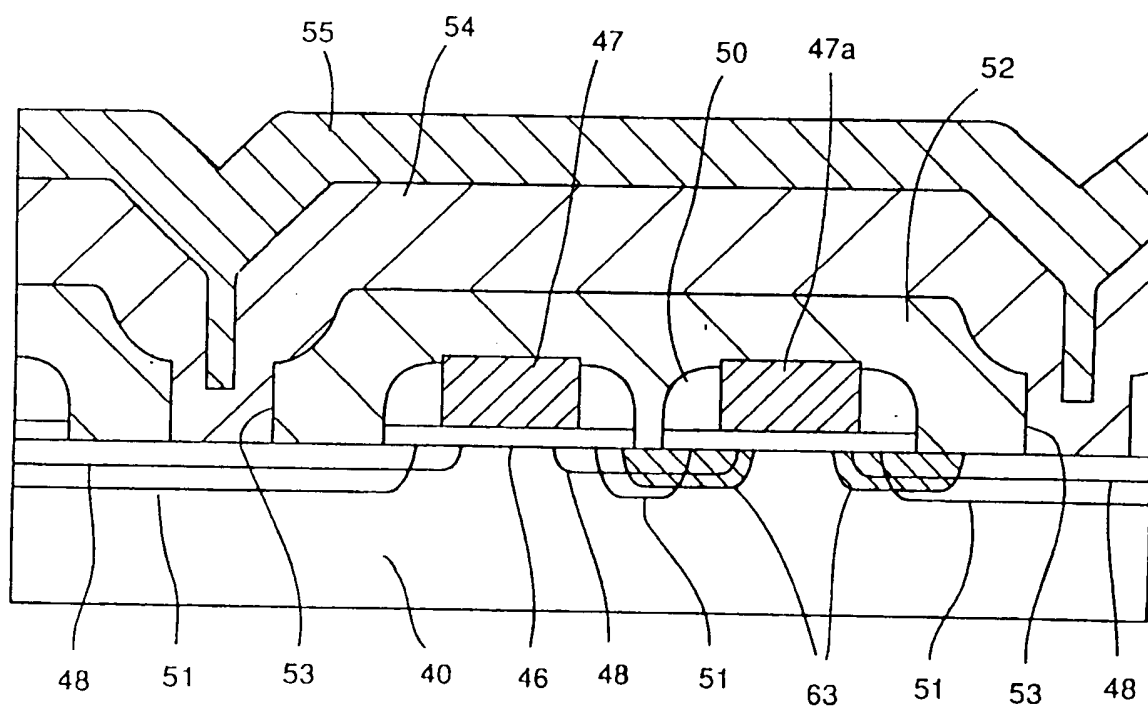


FIG. 68

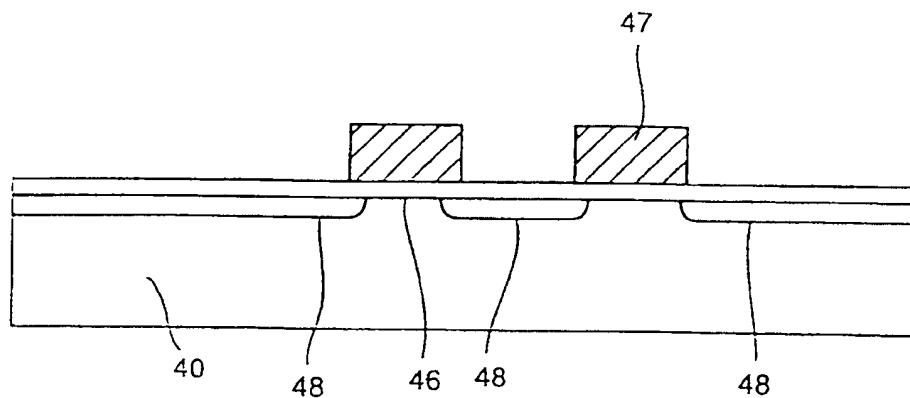


FIG. 69

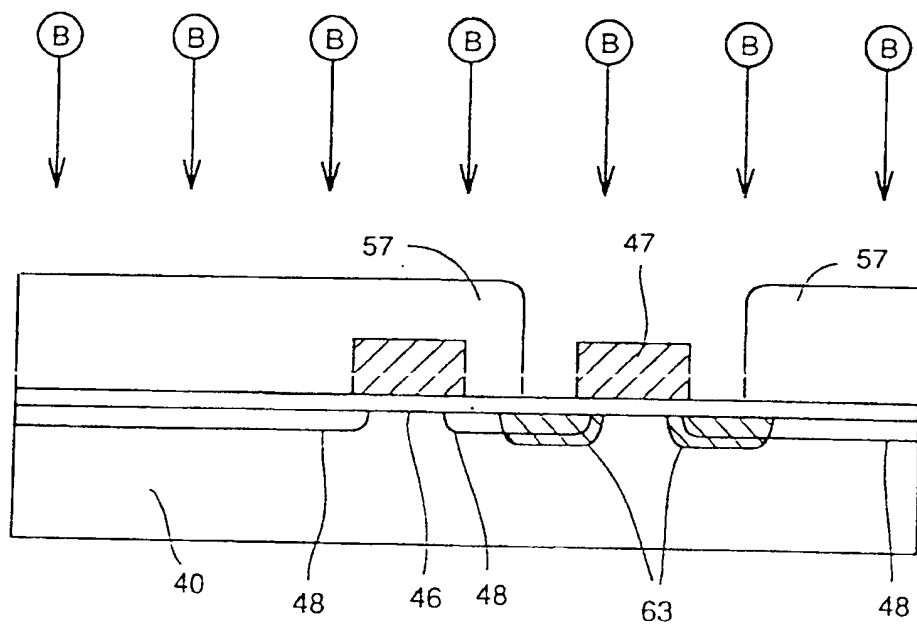


FIG. 70

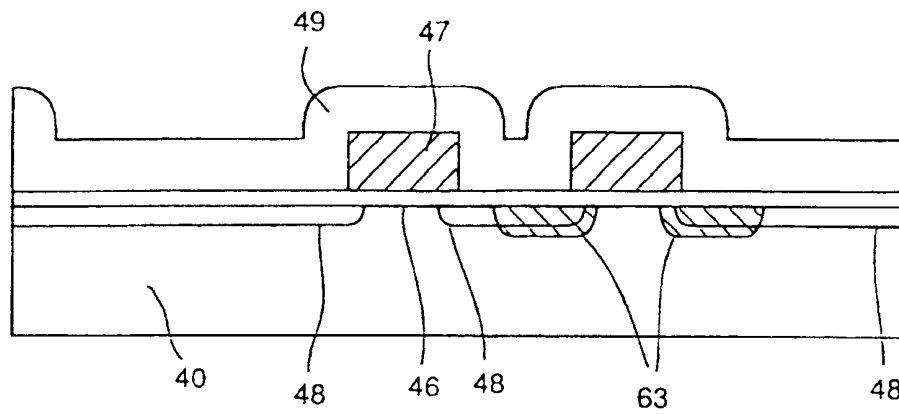


FIG. 71

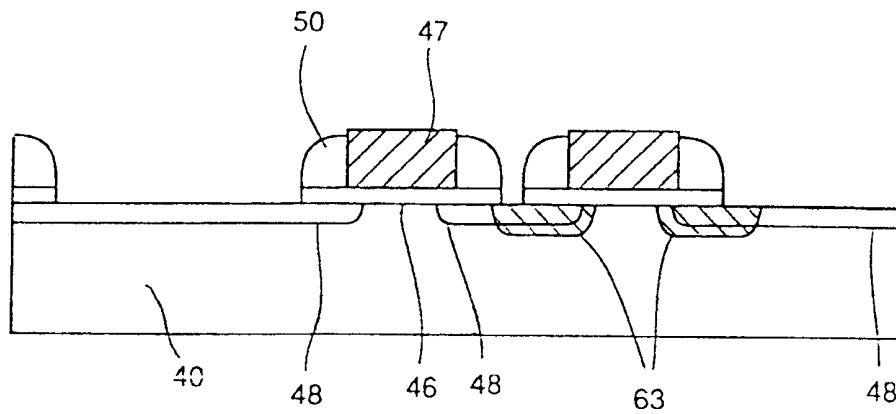


FIG. 72

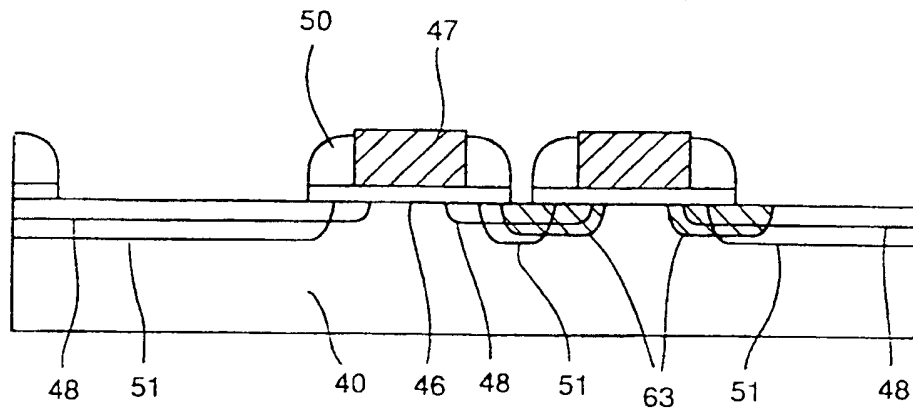


FIG. 73

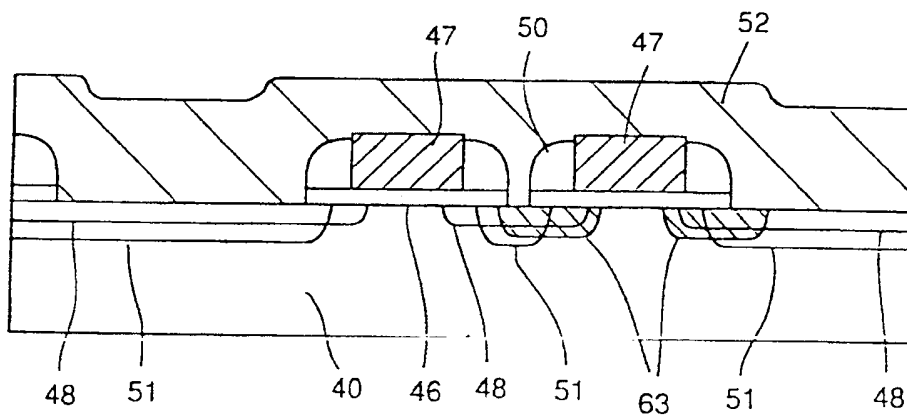


FIG. 74

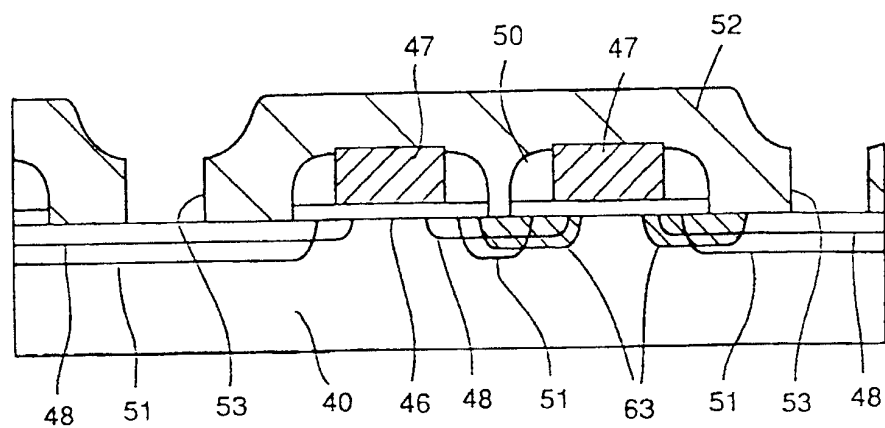


FIG. 75

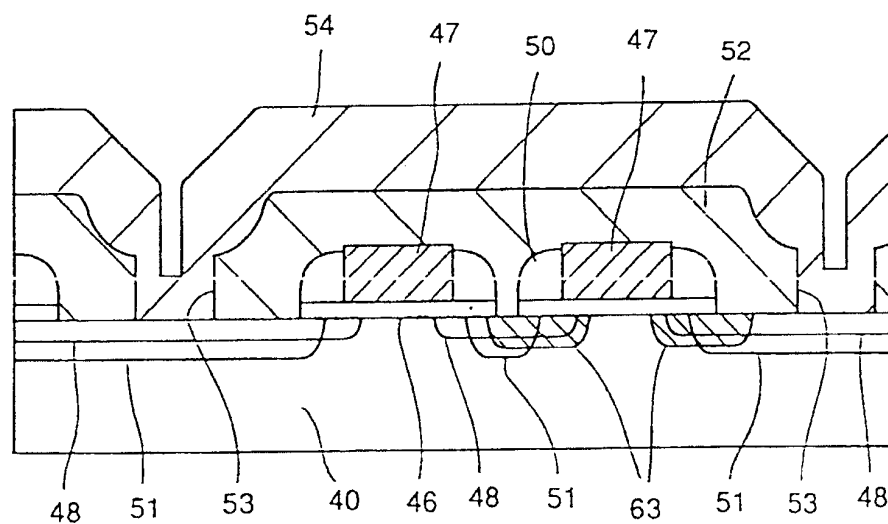


FIG. 76

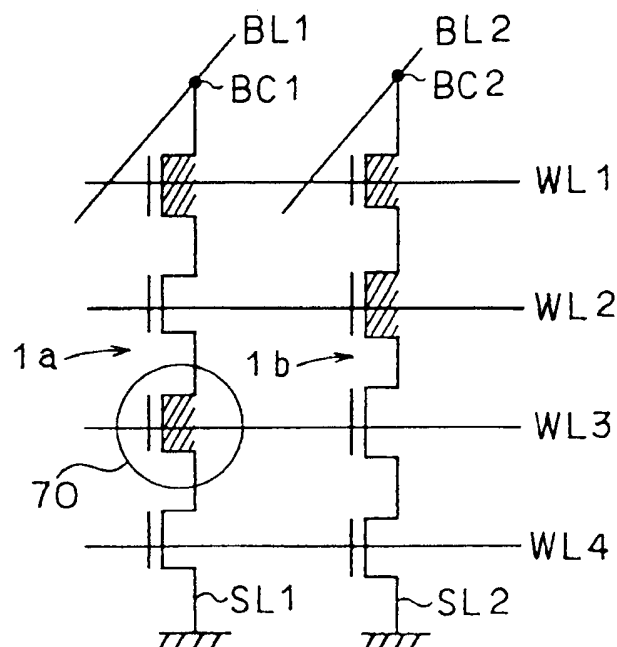


FIG. 77

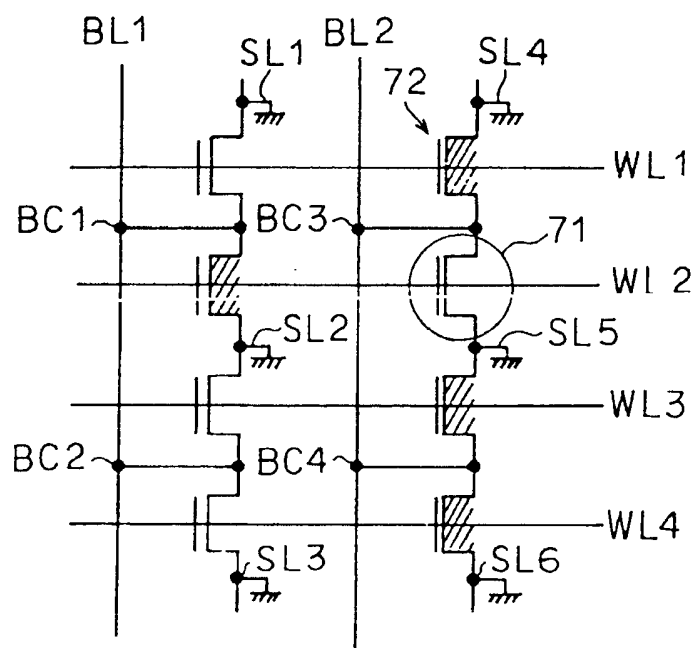


FIG. 78

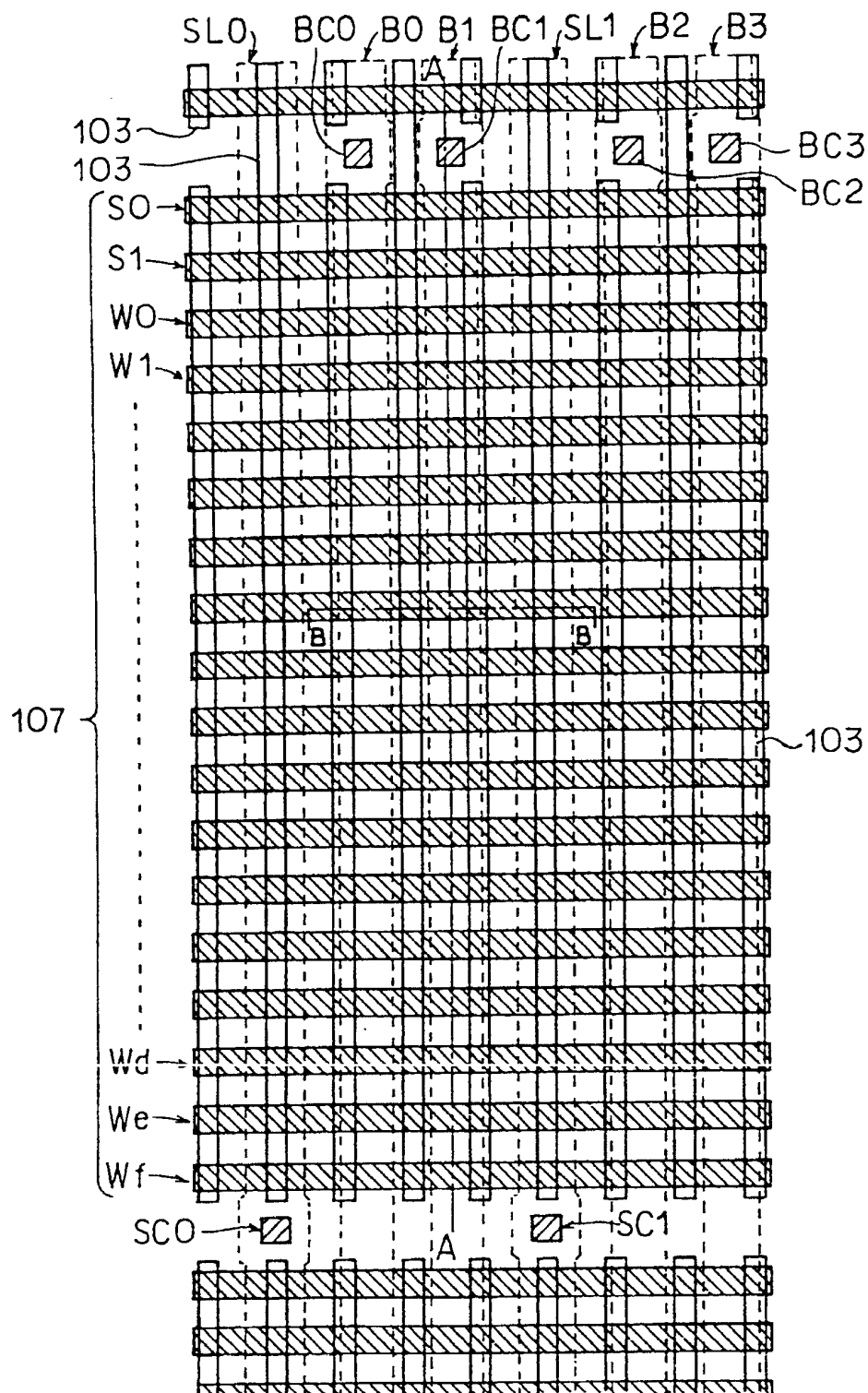


FIG. 79

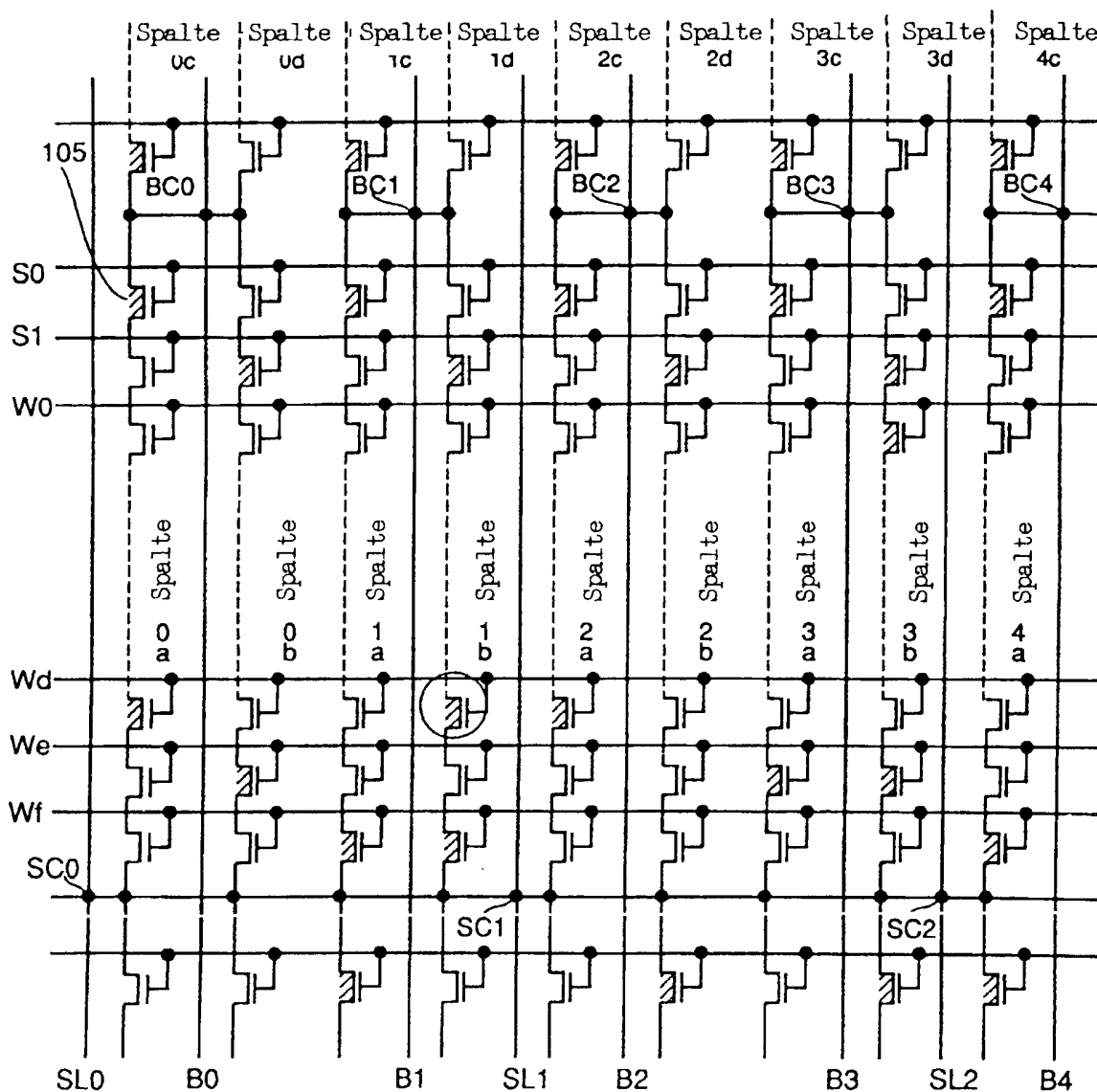


FIG. 80

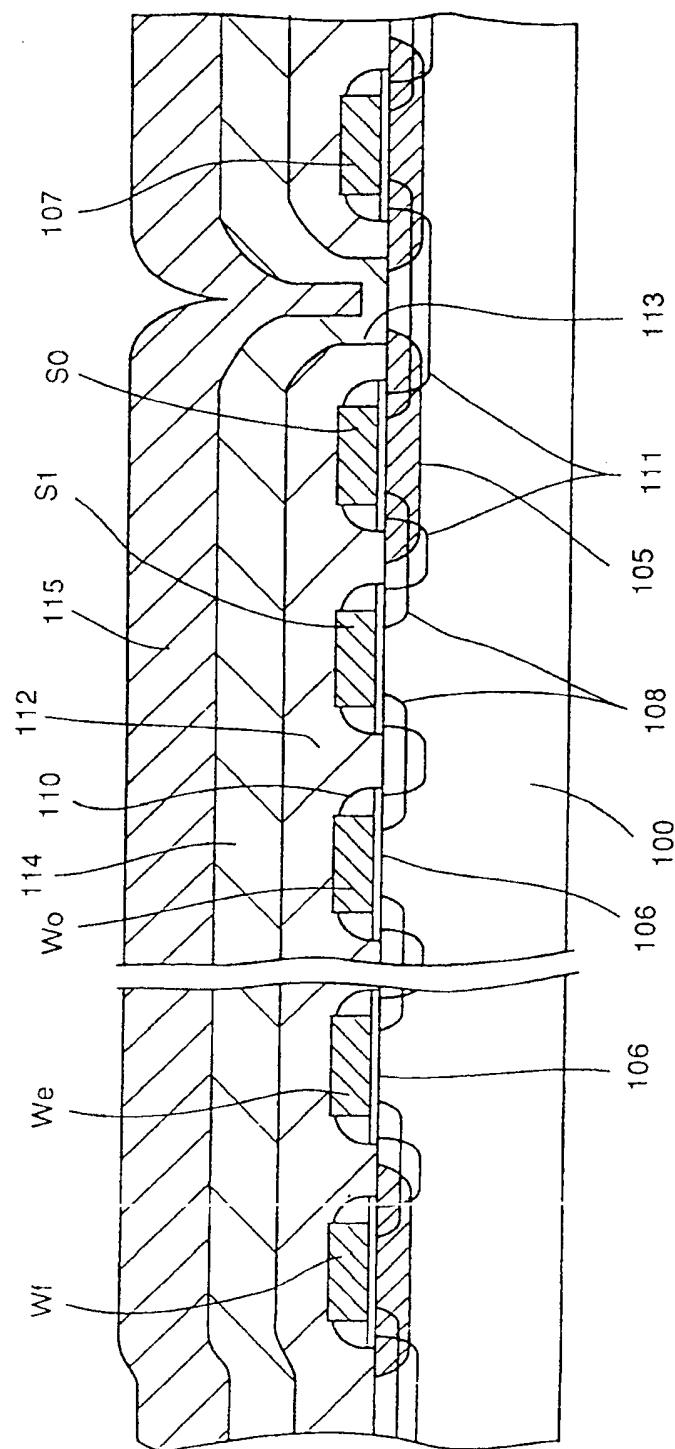


FIG. 81

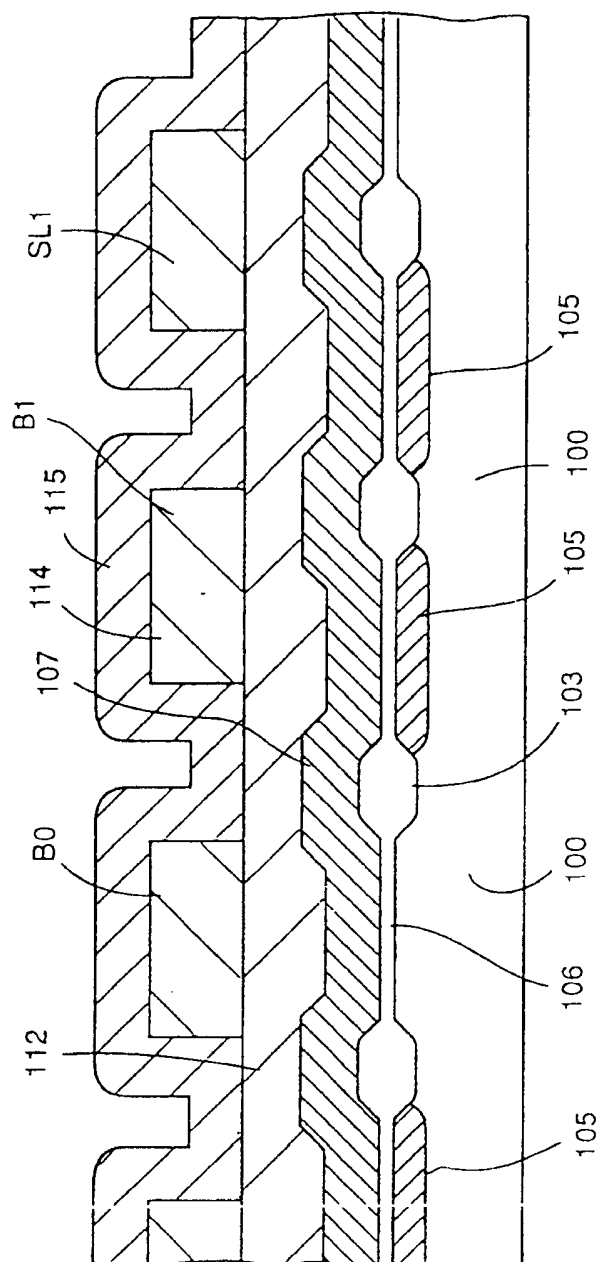


FIG. 82

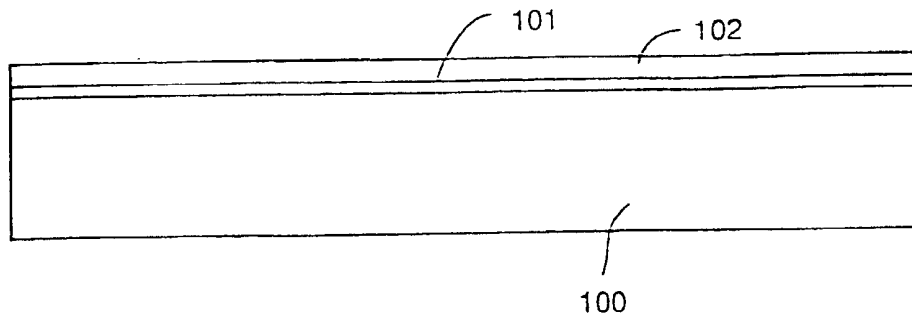


FIG. 83

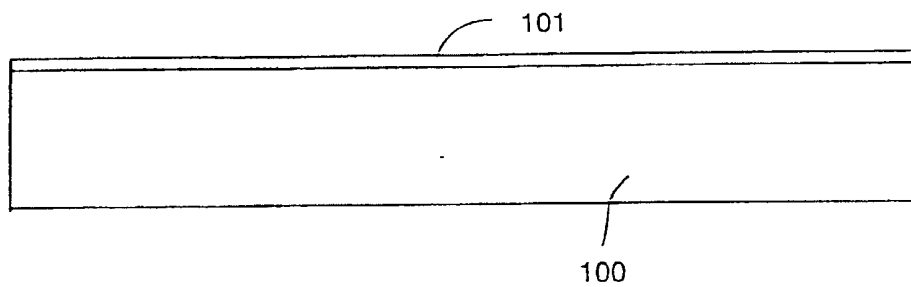


FIG. 84

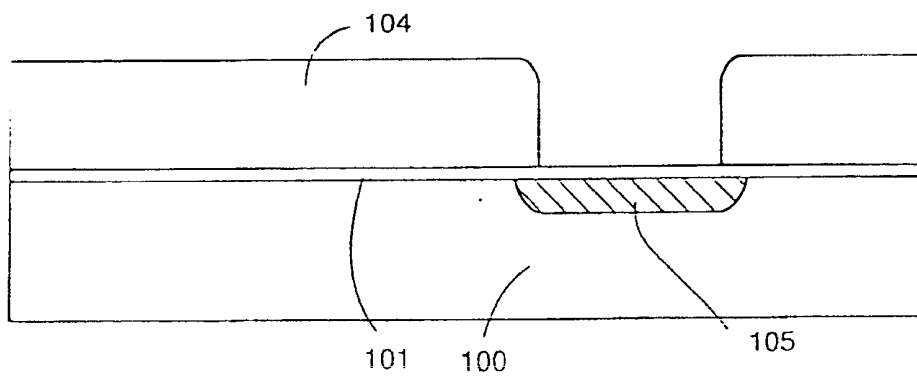


FIG. 85

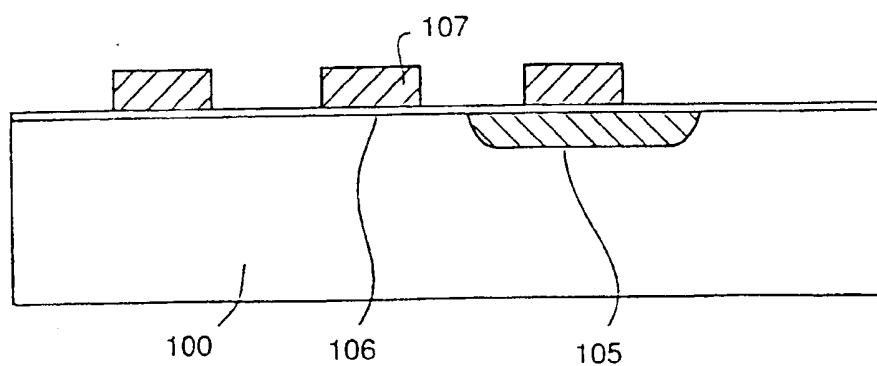


FIG. 86

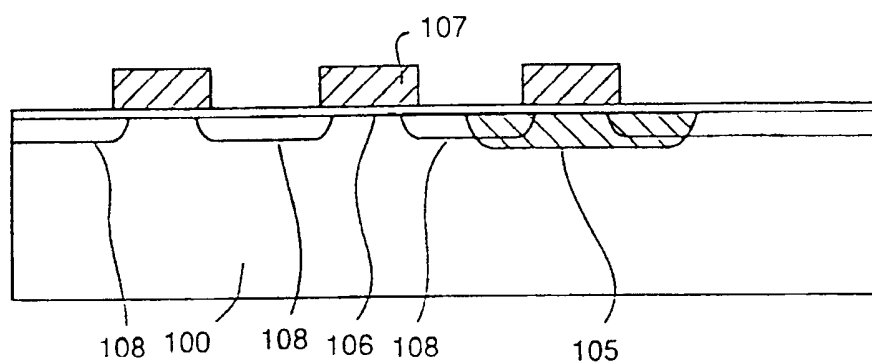


FIG. 87

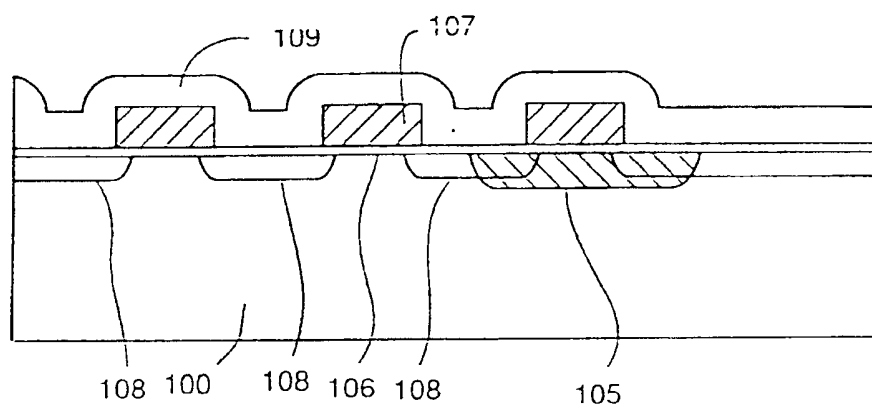


FIG. 88

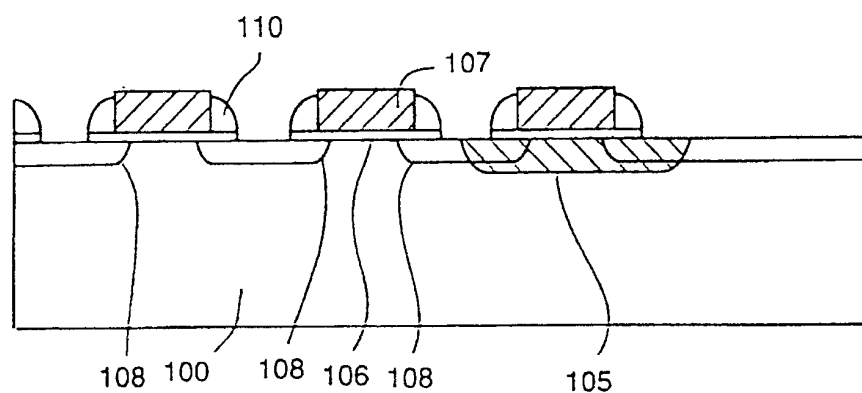


FIG. 89

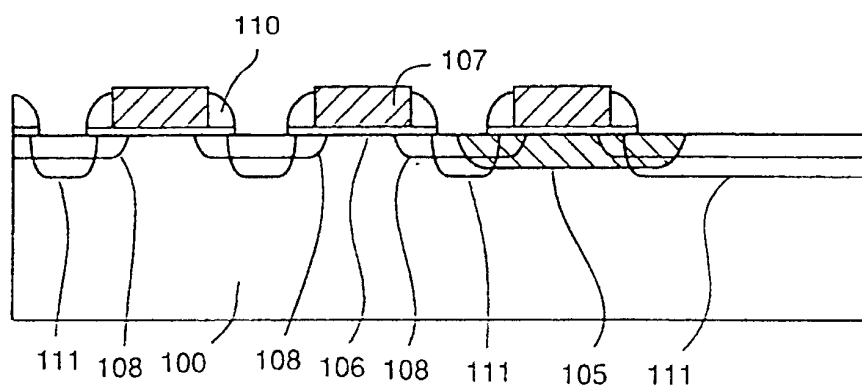


FIG. 90

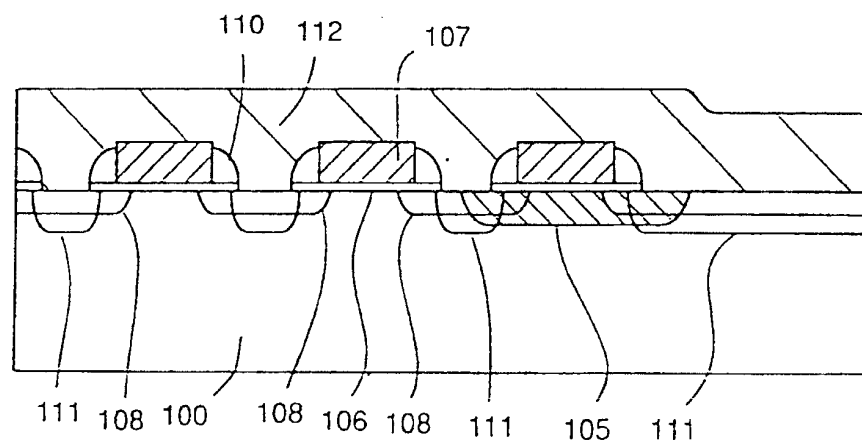


FIG. 91

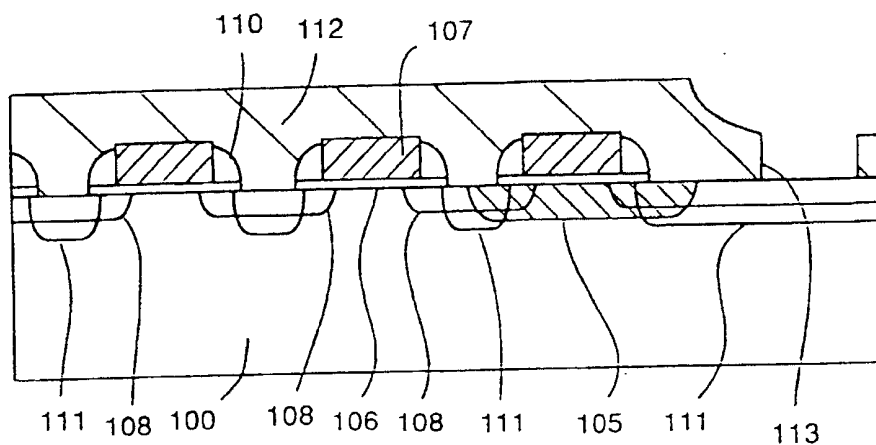


FIG. 92

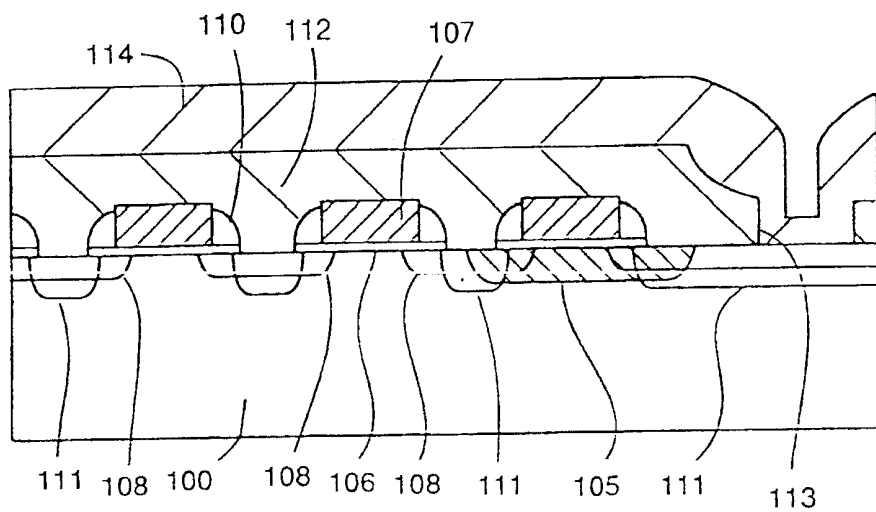


FIG. 93

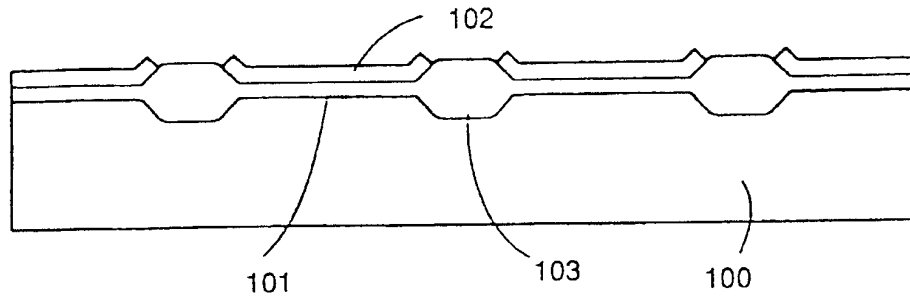


FIG. 94

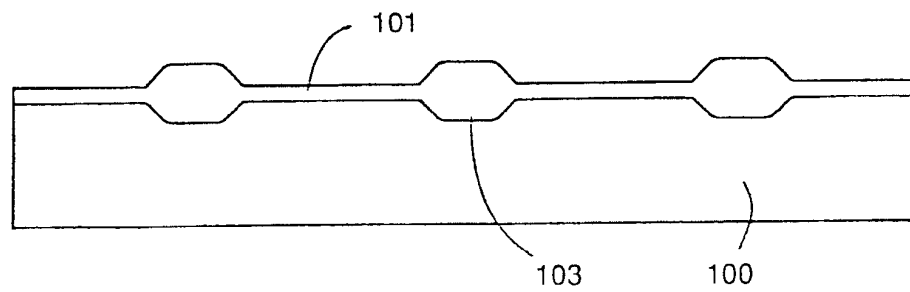


FIG. 95

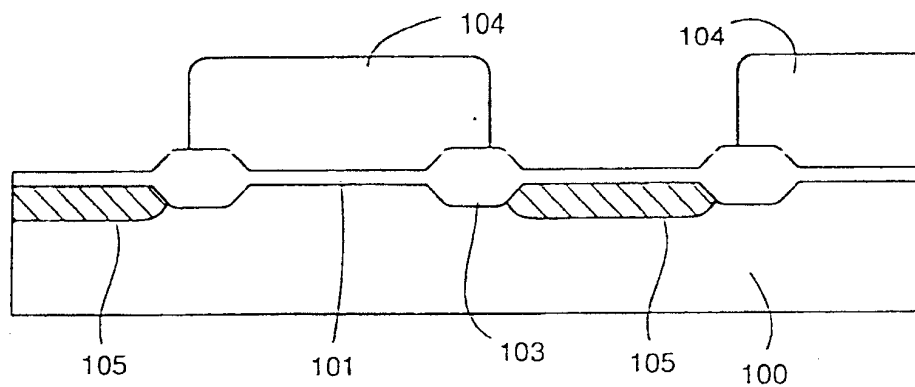


FIG. 96

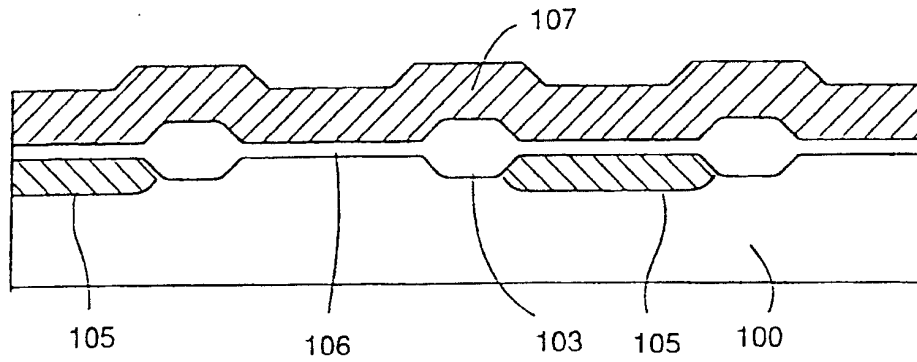


FIG. 97

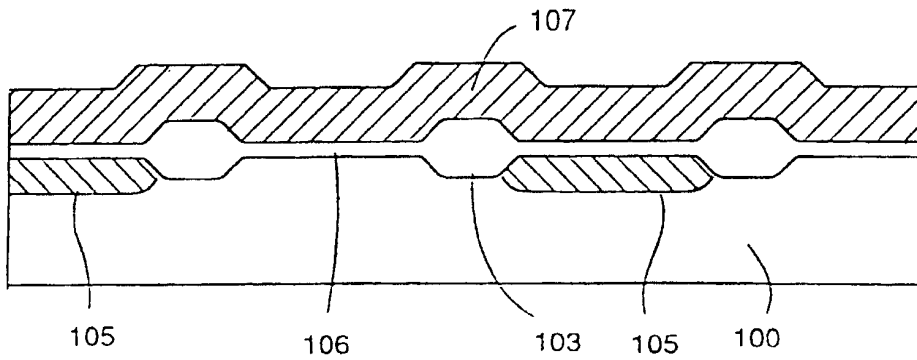


FIG. 98

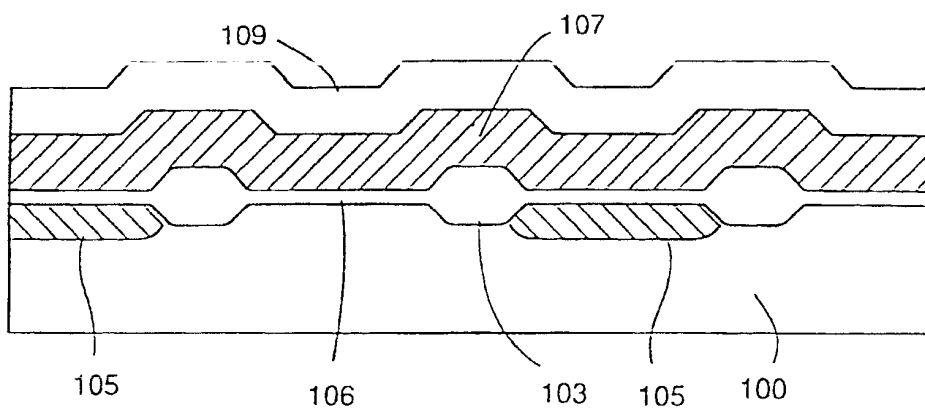


FIG. 99

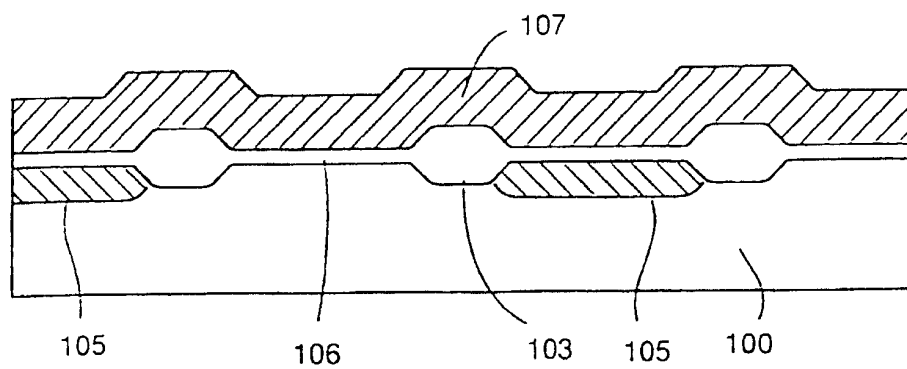


FIG. 100

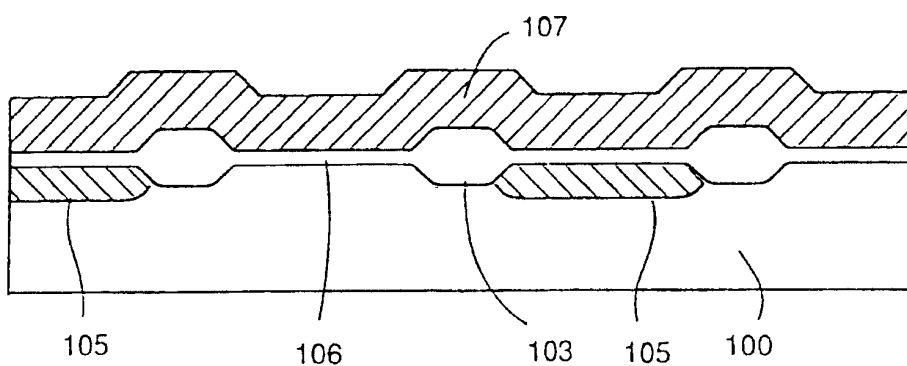


FIG. 101

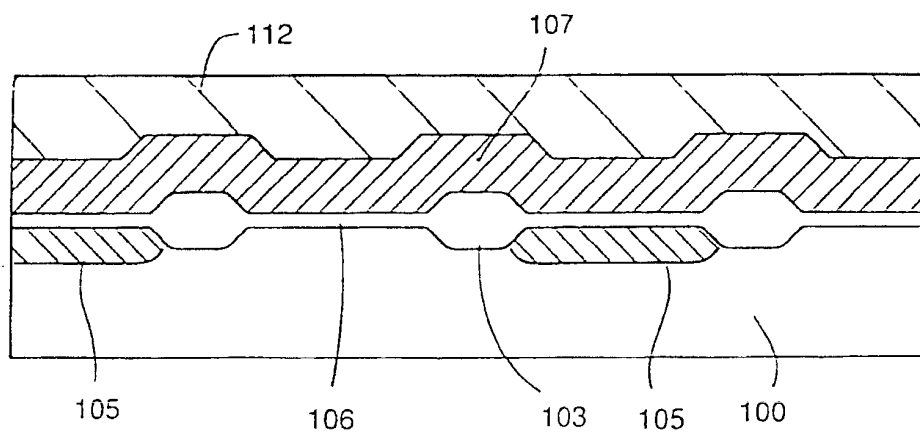


FIG. 102

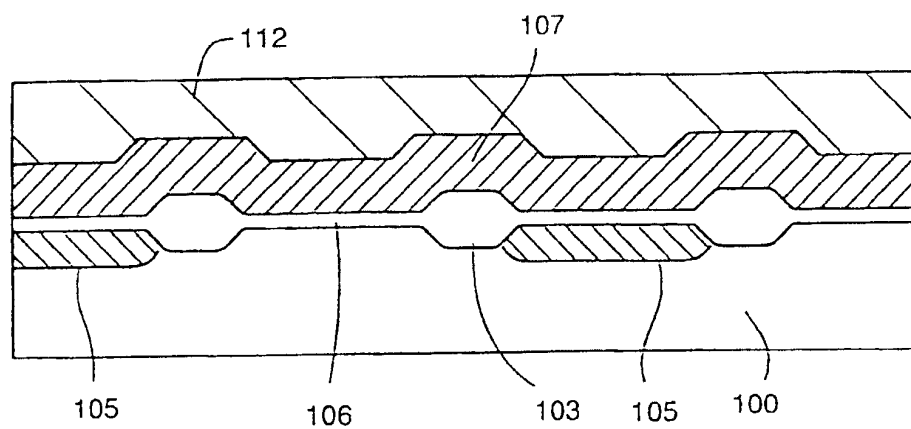


FIG. 103

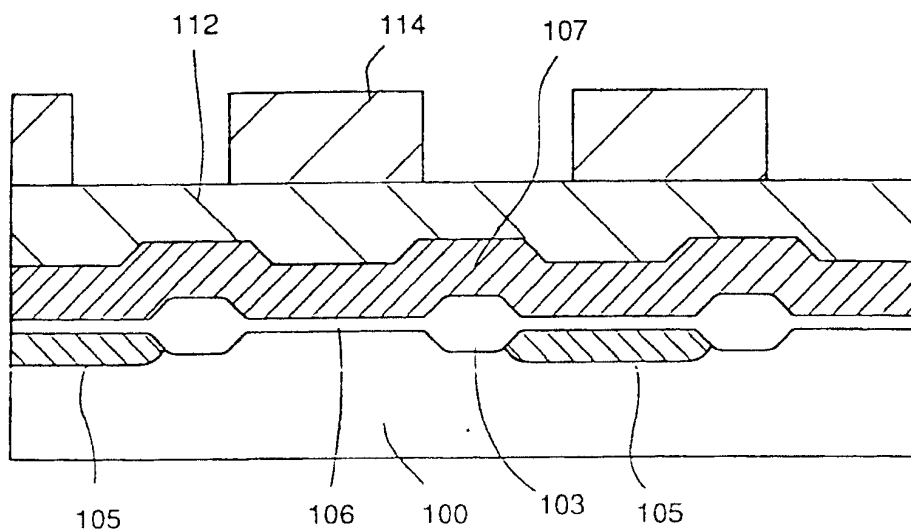


FIG. 104

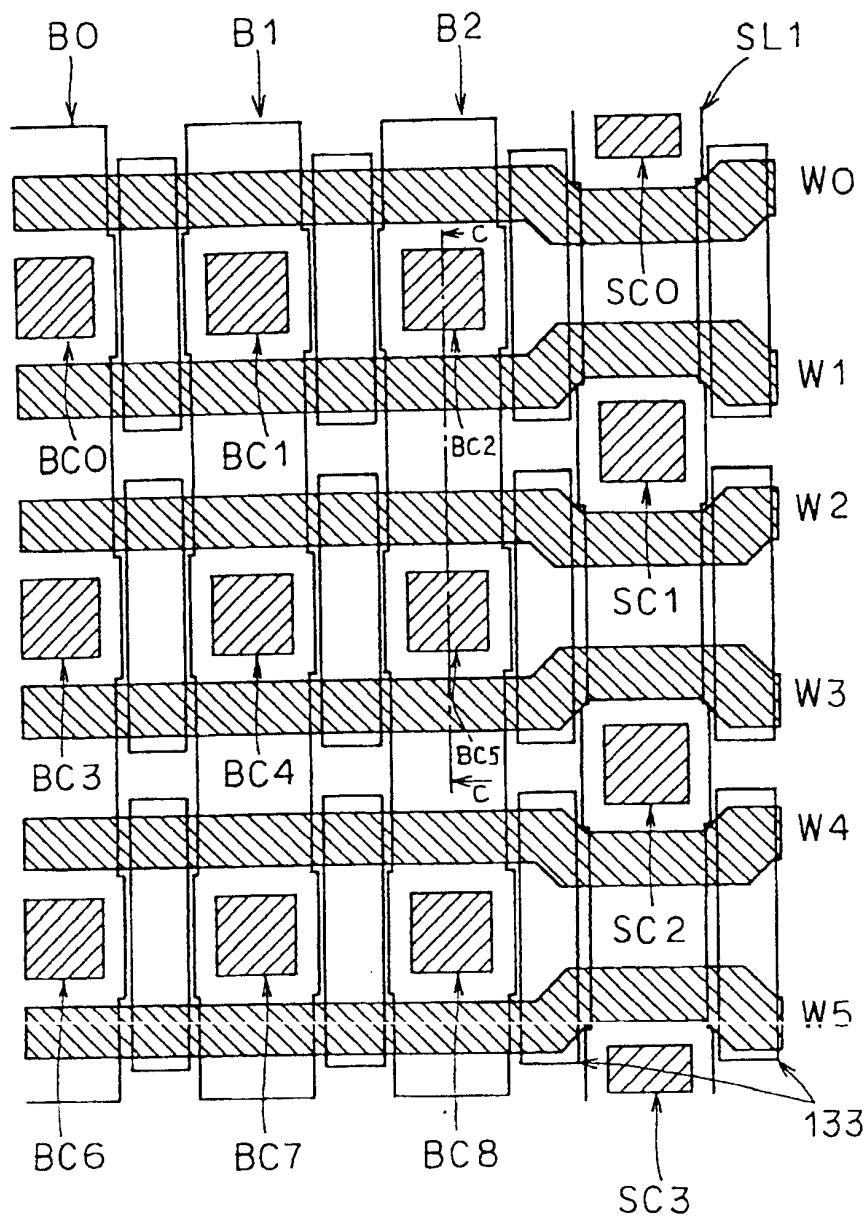


FIG. 106

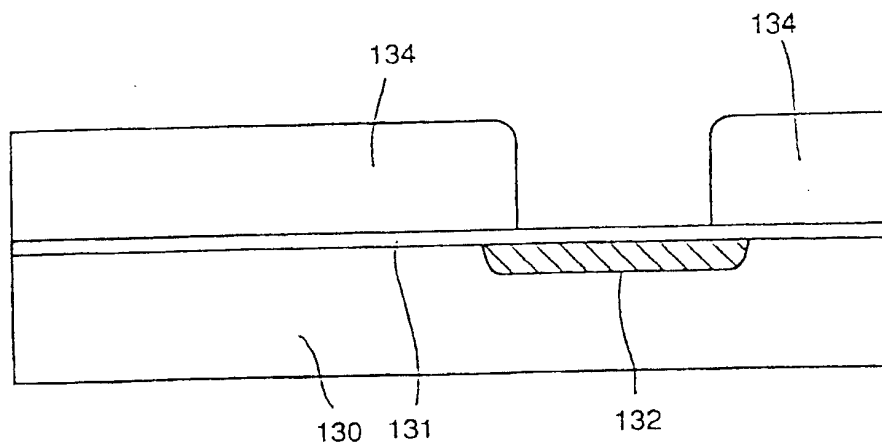


FIG. 107

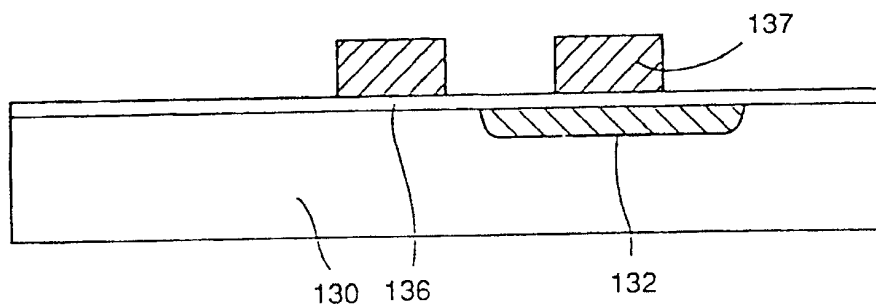


FIG. 108

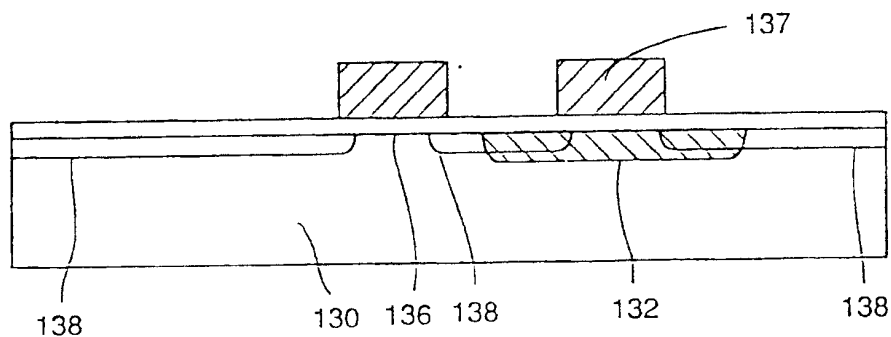


FIG. 109

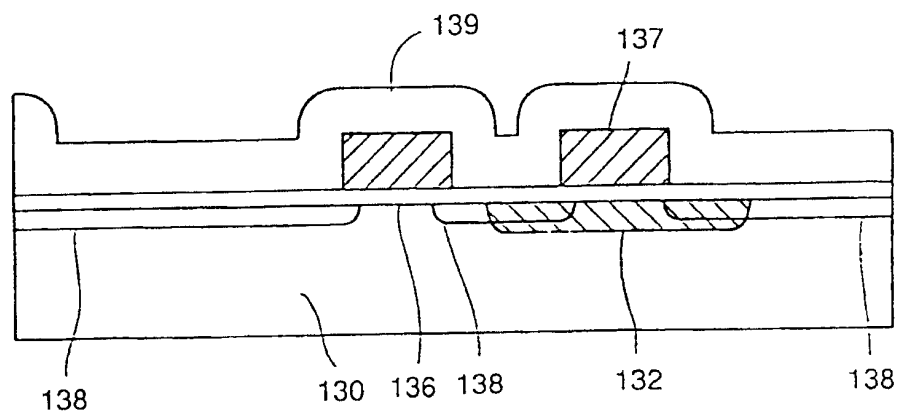


FIG. 110

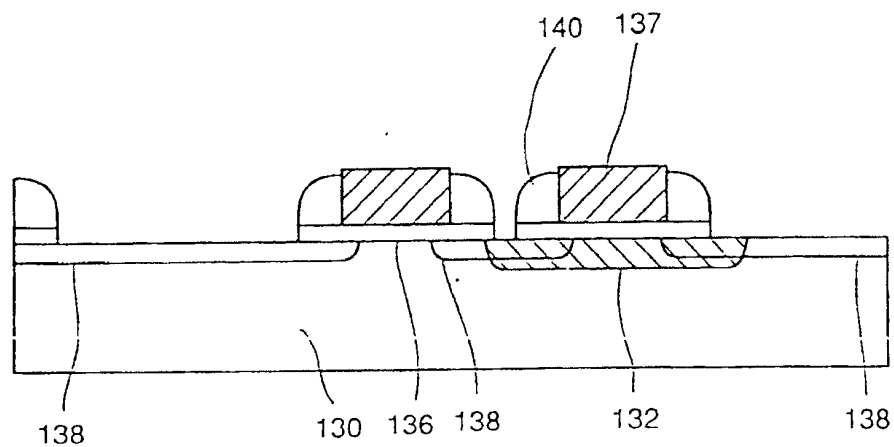


FIG. 111

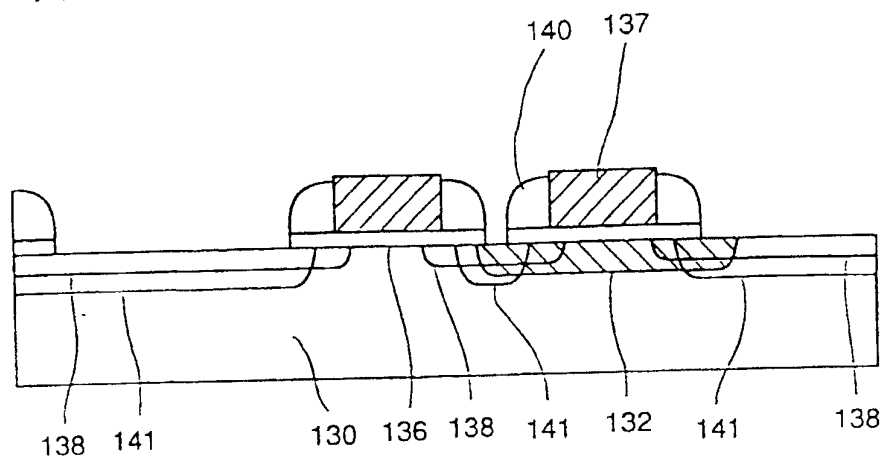


FIG. 112

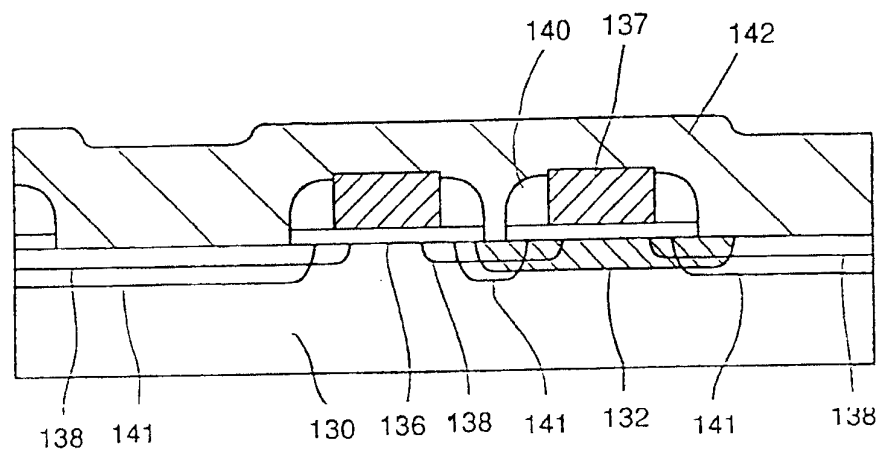


FIG. 113

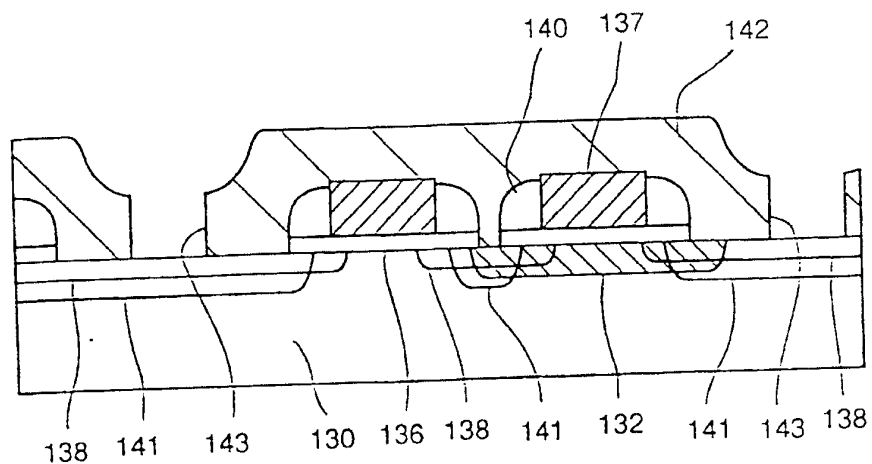
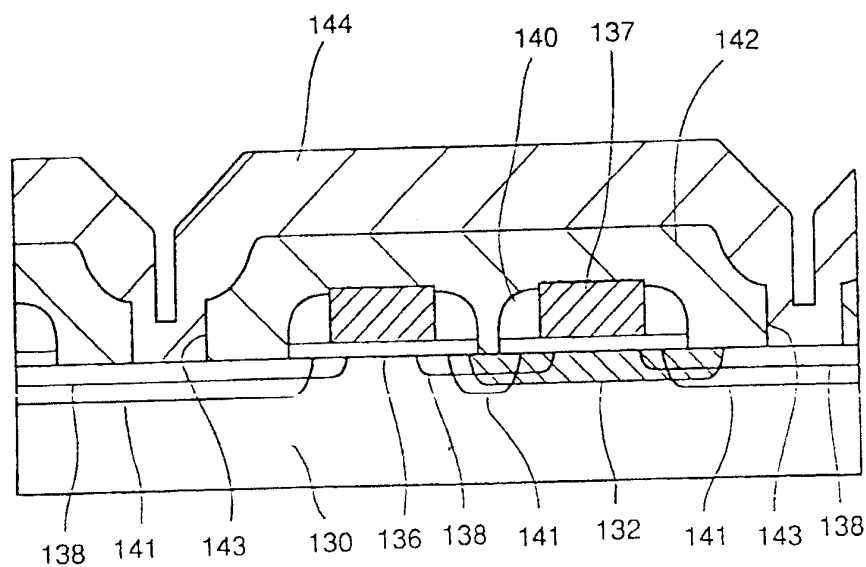


FIG. 114



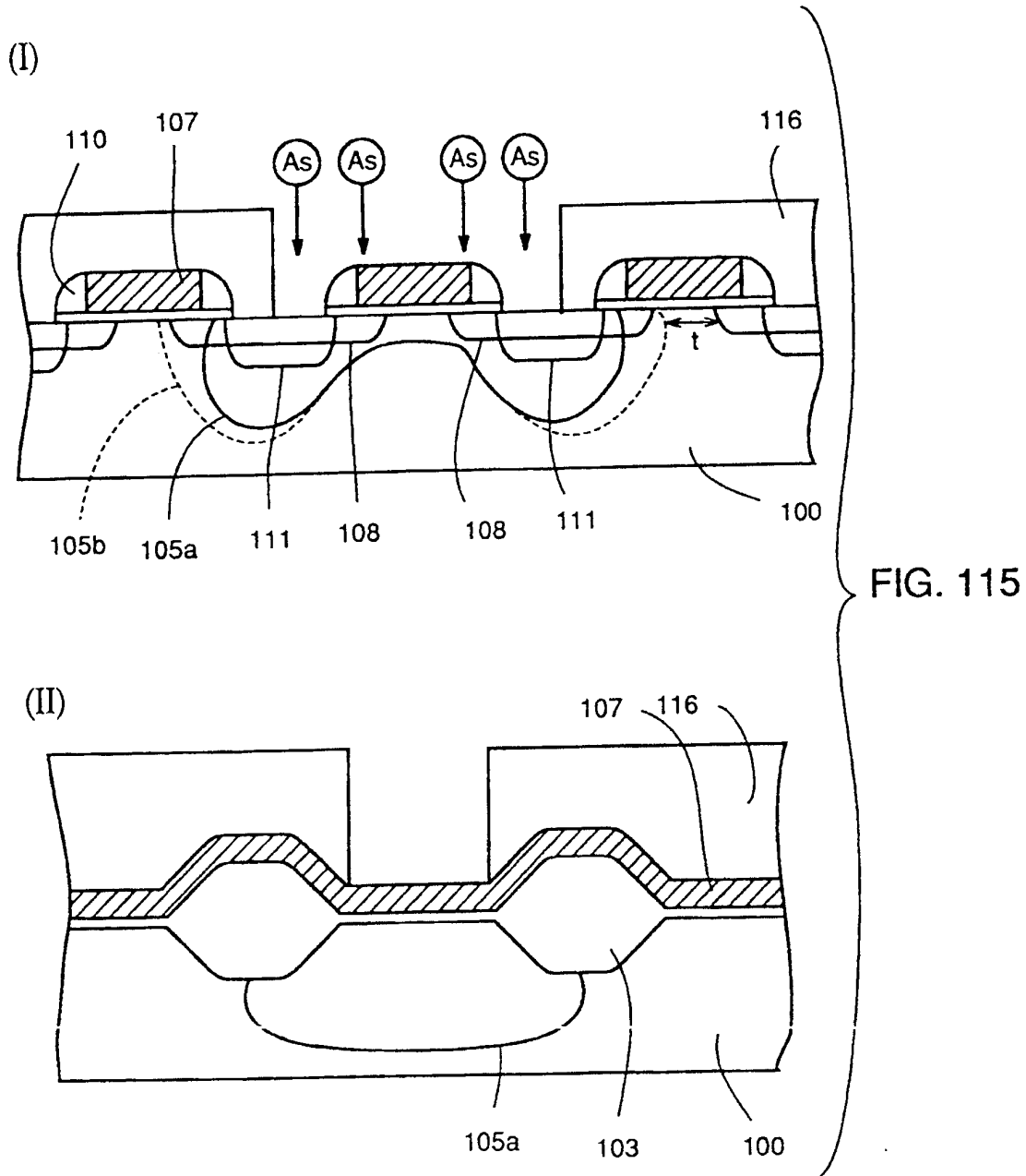


FIG. 116

